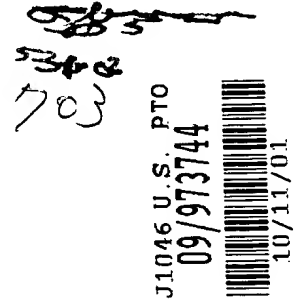


日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月12日

出 願 番 号

Application Number:

特願2000-312015

出 願 人

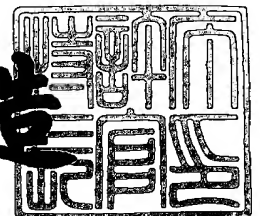
Applicant(s):

株式会社東芝

2001年 8月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3071524

【書類名】 特許願

【整理番号】 46B0080021

【提出日】 平成12年10月12日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/02
H01L 21/30

【発明の名称】 半導体装置の製造方法及び半導体装置

【請求項の数】 11

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 田中 正幸

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 中嶋 一明

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 綱島 祥隆

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 伊藤 貴之

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 須黒 恭一

【特許出願人】

【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【電話番号】 03-3457-2512

【代理人】

【識別番号】 100097629
【弁理士】
【氏名又は名称】 竹村 壽
【電話番号】 03-3843-4628

【手数料の表示】

【予納台帳番号】 004961
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法及び半導体装置

【特許請求の範囲】

【請求項 1】 半導体素子が形成され、表面にシリサイド層が形成されたシリコン半導体基板上に絶縁膜を形成する工程と、

前記絶縁膜をエッチングして底面に前記半導体基板表面に形成された前記シリサイド層が露出したコンタクト孔を形成する工程と、

前記コンタクト孔の底面及び側面に金属窒化膜を成膜する工程と、

前記半導体基板を 6 0 0 ℃ 以下の温度で第 1 の加熱処理を施す工程と、

前記第 1 の加熱処理を施す工程中に 1 0 m s e c 以下の短時間、且つシリコンの光の吸収端よりも短波長側に主たる発光波長を有する光によって第 2 の加熱処理を行う工程と、

前記第 2 の加熱処理を行う工程後、前記コンタクト孔のコンタクト配線を形成する工程と、

前記絶縁膜上に前記コンタクト配線を介して前記半導体基板と電氣的に接続された配線を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 2】 半導体素子が形成され、表面にシリサイド層が形成されたシリコン半導体基板上に絶縁膜を形成する工程と、

前記絶縁膜をエッチングして底面に前記半導体基板表面に形成された前記シリサイド層が露出したコンタクト孔を形成する工程と、

前記コンタクト孔の底面及び側面に金属窒化膜を成膜する工程と、

前記半導体基板を 6 0 0 ℃ 以下の温度で第 1 の加熱処理を施す工程と、

前記第 1 の加熱処理を施す工程中に 1 0 m s e c 以下の短時間、且つ前記金属窒化膜に含む金属の反射率が 0 . 5 0 以下であるような主たる発光波長を有する光によって第 2 の加熱処理を行う工程と、

前記第 2 の加熱処理を行う工程後、前記コンタクト孔のコンタクト配線を形成する工程と、

前記絶縁膜上に前記コンタクト配線を介して前記半導体基板と電氣的に接続された配線を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 3】 前記金属窒化膜は、チタン、タンタル、ニオブ、バナジウム、ハフニウム、ジルコニウムの少なくとも 1 つ金属からなる窒化膜であることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記金属窒化膜は、金属ハロゲン化合物を含むことを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 シリコン半導体基板の表面領域に形成されたソース／ドレイン領域及びこのソース／ドレイン領域間上にゲート絶縁膜を介して形成されたポリシリコンゲート電極を被覆するように前記半導体基板上に金属膜を形成する工程と、

前記半導体基板に第 1 の加熱処理を施して前記ソース／ドレイン領域上及び前記ゲート電極上の金属膜をモノシリサイド層に変える工程と、

前記金属膜のうち未反応の部分除去する工程と、

前記半導体基板を 6 0 0 ℃ 以下の温度で第 2 の加熱処理を施す工程と、

前記第 1 の加熱処理を施す工程中に 1 0 m s e c 以下の短時間、且つシリコンの光の吸収端よりも短波長側に主たる発光波長を有する光によって第 3 の加熱処理を行って前記モノシリサイド層を金属シリサイド層に変える工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 6】 前記金属膜は、コバルト、チタン、ニッケル、ハフニウム、ジルコニウム、パラジウム、白金から選ばれた少なくとも 1 つを材料としていることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 半導体基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に多結晶シリコン膜を形成する工程と、

前記多結晶シリコン膜に不純物を導入する工程と、

前記多結晶シリコン膜上にシリコン窒化膜を形成する工程と、

前記半導体基板を 3 0 0 ～ 6 5 0 ℃ に加熱する工程と、

前記加熱工程中において、波長 2 0 0 n m 以上の白色光を 1 0 m s e c 以内、 $1 0 \sim 1 0 0 \text{ J} / \text{cm}^2$ のエネルギーで少なくとも 1 回照射する工程と、

前記多結晶シリコン膜及び前記シリコン窒化膜をパターニングして前記シリコン窒化膜に被覆された前記多結晶シリコン膜からなるゲート電極を形成する工程

とを備えたことを特徴とする半導体装置の製造方法。

【請求項 8】 前記シリコン窒化膜は、ジクロロシラン又はヘキサクロロジシランとアンモニアとの反応による C V D 法により形成されることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 半導体基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に第 1 の多結晶シリコン膜を形成する工程と、
前記第 1 の多結晶シリコン膜上に電極間絶縁膜を形成する工程と、
前記電極間絶縁膜上に第 2 の多結晶シリコン膜を形成する工程と、
前記第 2 の多結晶シリコン膜上に金属シリサイド膜を形成する工程と、
前記半導体基板を 3 0 0 ~ 6 5 0 ° C に加熱する工程と、
前記加熱工程中において、波長 2 0 0 n m 以上の白色光を 1 0 m s e c 以内、
1 0 ~ 1 0 0 J / c m ² のエネルギーで少なくとも 1 回照射する工程と、
前記金属シリサイド膜、前記第 2 の多結晶シリコン膜、前記電極間絶縁膜及び
前記第 1 の多結晶シリコン膜をパターニングして、前記第 1 の多結晶シリコン膜
からなる浮遊ゲート電極、前記電極間絶縁膜、前記第 2 の多結晶シリコン膜と前
記金属シリサイド膜からなる制御ゲート電極から構成されたゲート電極構造を形
成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 1 0】 シリコン半導体基板と、
前記半導体基板の表面領域に形成されたソース／ドレイン領域と、
前記ソース／ドレイン領域間上にゲート絶縁膜を介して形成されたポリシリコ
ンゲート電極と、
前記ゲート電極及び前記ソース／ドレイン領域の表面に形成された金属シリサ
イド層とを備え、
前記シリサイド層底面から接合深さまでの距離が 1 0 0 n m 未満であることを
特徴とする半導体装置。

【請求項 1 1】 前記金属シリサイド層は、前記半導体基板上の金属モノシ
リサイド層を 6 0 0 ° C 以下の温度で加熱処理し、この加熱処理中に 1 0 m s e c
以下の短時間、且つシリコンの光の吸収端よりも短波長側に主たる発光波長を有
する光を照射することによって形成されることを特徴とする請求項 1 0 に記載の

半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

シリコン半導体基板と配線を接続するコンタクト及びシリサイド層、シリコン窒化膜などの半導体基板に形成された成膜を改質する半導体装置の製造方法及びこの方法により得られた半導体装置の構造に関するものである。

【0002】

【従来の技術】

近年、コンピュータや通信機器には、多数のトランジスタなどの半導体素子や抵抗、キャパシタなどを電気回路を構成するように結び付けて1チップに集積化してなる大規模集積回路（LSI）が多く用いられている。このため機器全体の性能は、LSI単体、すなわち、半導体装置の性能と大きく結び付いている。半導体装置の性能向上は集積度を高めること、つまり素子の微細化により実現される。

素子の微細化は、半導体装置の製造プロセスにおける熱処理工程が素子に及ぼす影響をいかに減少させるかに大きく依存している。熱処理により半導体基板に形成された半導体素子は予定外の影響を受けて半導体素子の特性を損ねてしまうのが現状である。半導体素子形成時の熱処理、例えば、絶縁膜に形成されたコンタクトと半導体基板上に形成されたシリサイド層との接合を良好にする為の熱処理、ゲート電極やソース／ドレイン領域の表面上のシリサイド層を形成する熱処理、DRAM用ゲート電極表面のシリコン窒化膜成膜後の熱処理、EEPROM用ゲート電極を構成する金属シリサイド層の熱処理等が素子特性に大きく影響を与える。

【0003】

【発明が解決しようとする課題】

従来、層間絶縁膜に形成されたコンタクト孔に埋め込まれたコンタクト配線の底面でシリコンなどの半導体基板との良好なコンタクトを得るために、スパッタ法によりTiをコンタクト孔表面に成膜し、その後の熱処理によりシリサイド層

を形成している。

ところで、 $0.1\ \mu\text{m}$ 世代の高アスペクト比を有する微細コンタクトを使用する半導体装置では、従来のスパッタ法でタングステン膜をコンタクト孔底へ埋め込むことが難しく、また、Ti膜を熱CVD法で成膜する技術は未だ実現されていない。ただし、TiN膜は熱CVD法により成膜可能であり、微細コンタクト内部へ良好なカバレッジを達成しつつ埋め込むことができる。

しかしながら、従来の熱処理工程ではTiN膜が基板表面の自然酸化膜を還元することはないので、TiN膜単層でコンタクトを形成することができないというのが現状である。

【0004】

また、この世代のソース／ドレイン領域などの拡散層は接合深さが非常に浅いため、コンタクト部分にシリサイド層を形成する方法では、コンタクト部分のシリサイド層と接合深さとの距離が近づき、接合リークの増加を招いてしまう。さらに、拡散層上にはコバルトシリサイドといった低抵抗の金属シリサイド層が貼り付いており、コンタクト部と拡散層底にシリサイド間の自然酸化膜を還元できれば良く、あえてコンタクト配線の底部にシリサイドを形成する必要もない。

しかし、自然酸化膜を介してTiN膜とシリコン半導体基板を反応させるためには、 900°C 以上の高温加熱処理を必要とし、拡散層の不純物プロファイルに影響を与えてしまう。

また、近年、MOS型トランジスタの寄生抵抗を下げるため、拡散層上へ金属シリサイドを形成している。一般に、金属シリサイド層の形成方法は、第1の加熱処理により、金属膜とシリコン半導体基板とを反応させて金属モノシリサイド層を形成する工程と、未反応金属を除去する工程を行ってから第2の加熱処理により金属モノシリサイドを金属ダイシリサイドに変化させる工程から成る。

【0005】

しかし、この第2の加熱処理中に、微量のC原子がシリコン半導体基板側に拡散することが知られている。C原子は、Si中で深い準位を形成するため、 C_2Si_2 層の下にある拡散層の接合付近までこのC原子が拡散してしまうと接合リークが劣化してしまう。それゆえ、 C_2Si_2 層とその下層にある拡散層

の接合深さとの距離を100～150nm程度離す必要がある。

しかしながら、トランジスタの微細化が進むにつれ、拡散層深さも浅くなり、シリサイド層と接合深さの距離を確保することが困難になっている。

また、LSIなどの半導体装置の製造工程においては、高集積化・高密度微細化を実現するためには、インデグレーション上、エッチングストッパー、バリア層もしくは絶縁膜として非常に有用なシリコン窒化膜(SiN)の形成が必須である。テトラクロロシランとアンモニアとの化学反応により形成されたSiN膜は、水素は含まないが、ジクロロシラン又はヘキサクロロシランとアンモニアとの化学反応により形成されたSiN膜は、膜中に水素を含んでいる。

【0006】

このように水素を含んだSiN膜は、高温の後熱工程で水素を脱離する。ボロンが添加されたPMOS上にSiN膜が形成されていると、脱離水素によってゲート電極中のボロンが増速拡散してしまう。つまり、ゲート電極中のボロンは、SiN膜形成後の高温後熱工程(例えば、高速昇降温アニール(RTA)装置などによって900℃以上で行われる活性化アニールなど)によって、ゲート絶縁膜を突き抜けて基板側にまで拡散してしまう。半導体基板に拡散したボロンは、半導体基板中の不純物のプロファイルを大きく変えて、トランジスタのしきい値電圧を変化させてしまう。更に、“突き抜け”は面内でばらつきを持って起こるために、トランジスタのしきい値電圧も面内でばらついてしまう。また、ゲート電極側では空乏化が起きてしまう。つまり、ボロンが添加されたPMOS素子上にSiN膜が形成されていて、かつ高温の後熱工程を経ると、ボロンの突き抜けが起こり、トランジスタ性能が著しく劣化してしまう。即ち、①基板の不純物プロファイルが変わり、トランジスタのしきい値電圧が変わってしまう。②しきい値が、面内でばらつく。③電極が空乏化してしまう、という問題があった。

【0007】

今後、より高集積化・高密度微細化された次世代の半導体素子においては、ボロンの突き抜けはますます激しくなる方向である。つまり、スケーリング則とともにゲート絶縁膜の薄膜化が進んでいく。突き抜けは、ゲート絶縁膜が薄膜化するほど起こり易くなり、電極抵抗を下げるためにボロンの添加量を増やすと、突

き抜け量も大きくなってしまいます。また、トランジスタの高性能化のためには、浅い拡散層を形成する必要がある、突き抜けたボロンの影響はより大きくなってしまいます。つまり、次世代の半導体素子において従来のSiN膜を用いると、素子の劣化はより深刻なものになると予想される。上記の問題を解決するためには、水素含有量の少ないSiN膜の適用もしくは、SiN膜成膜後にデバイスの劣化を起こさない低温で水素を低減する技術が必要になる。

【0008】

また、フラッシュメモリには、多結晶シリコン／タンゲステンシリサイド（WSi）からなる積層膜が制御用ゲート電極として形成されている。WSiは、成膜直後の抵抗が高いため、高温の後熱処理により低抵抗化する必要がある。WSiの体抵抗化には従来1000℃以上の高温を必要としている。しかし、1000℃以上の高温を素子が経ると、ゲート酸化膜の膜質が劣化してしまうので、素子の劣化を起こさずに、WSiを低抵抗化する技術が必要になる。

本発明は、このような事情によりなされたものであり、短時間に多量の光子を半導体基板に照射することによって、シリコン半導体基板と配線を接続するコンタクト及びシリサイド層、シリコン窒化膜などの半導体基板に形成された成膜を改質する半導体装置の製造方法及びこの方法により得られた半導体装置を提供する。

【0009】

【課題を解決するための手段】

本発明は、微細コンタクト形成時において、コンタクト孔内部に金属窒化膜を成膜する工程と、600℃以下の温度域で第1の加熱処理を施す工程と、第1の加熱処理を施しながら10msec以下の短時間、且つシリコンの光の吸収端よりも短波長側に主たる発光波長を有する第2の加熱処理を組み合わせることを特徴とすることにより、TiN膜と基板界面との反応を起こさせ、自然酸化膜程度ならば還元することに特徴がある。非常に短期間の熱処理であるため、拡散層の不純物プロファイルに影響を与えることがない。

また、本発明は、拡散層及びゲート電極に金属シリサイドを形成する工程において、拡散層上に第1の加熱処理により金属モノシリサイド層を形成する工程と

、600℃以下の温度域で第2の加熱処理を施す工程と、第2の加熱処理を施しながら10msec以下の短時間で且つシリコンの光の吸収端よりも短波長側に主たる発光波長を有する光による第3の加熱処理を組み合わせることにより、Coなどの金属原子を金属モノシリサイド層から半導体基板方向へ拡散させることなく、金属モノシリサイド層(CoSi)から熱的に安定な金属ダイシリサイド層(CoSi₂)へ変化させることに特徴がある。

【0010】

前記半導体基板に短時間第1又は第2の加熱処理を施すための光は、前記金属窒化膜に含む金属の反射率が0.50以下であるような主たる発光波長を有する光を用いることもできる。

また、本発明は、ポリシリコンからなるゲート電極上に形成されたシリコン窒化膜を加熱処理する工程において、半導体基板を300～650℃で第1の加熱処理を施す工程と、前記第1の加熱処理工程中において、波長200nm以上の白色光を10msec以内好ましくは、3msec以内、10～100J/cm²のエネルギーで少なくとも1回照射する第2の加熱処理を施す工程とを有することを特徴としている。この熱処理により含有していた水素が除去され、ボロンの突き抜けなどのない素子の劣化が防止される。

また、本発明は、ゲート電極として用いられるポリシリコン膜上に形成されたタングステンシリサイド層を加熱処理する工程において、半導体基板を300～650℃で第1の加熱処理を施す工程と、前記第1の加熱処理工程中において、波長200nm以上の白色光を10msec以内、好ましくは、3msec以内、10～100J/cm²のエネルギーで少なくとも1回照射する第2の加熱処理を施す工程とを有することを特徴としている。ゲート電極下のゲート絶縁膜の性能の劣化しないで加熱処理が行われる。

【0011】

即ち、本発明の半導体装置の製造方法は、半導体素子が形成され、表面にシリサイド層が形成されたシリコン半導体基板上に絶縁膜を形成する工程と、前記絶縁膜をエッチングして底面に前記半導体基板表面に形成された前記シリサイド層が露出したコンタクト孔を形成する工程と、前記コンタクト孔の底面及び側面に

金属窒化膜を成膜する工程と、前記半導体基板を 6 0 0 °C 以下の温度で第 1 の加熱処理を施す工程と、前記第 1 の加熱処理を施す工程中に 1 0 m s e c 以下の短時間、且つシリコンの光の吸収端よりも短波長側に主たる発光波長を有する光によって第 2 の加熱処理を行う工程と、前記第 2 の加熱処理を行う工程後、前記コンタクト孔のコンタクト配線を形成する工程と、前記絶縁膜上に前記コンタクト配線を介して前記半導体基板と電氣的に接続された配線を形成する工程とを備えたことを特徴としている。

本発明の半導体装置の製造方法は、半導体素子が形成され、表面にシリサイド層が形成されたシリコン半導体基板上に絶縁膜を形成する工程と、前記絶縁膜をエッチングして底面に前記半導体基板表面に形成された前記シリサイド層が露出したコンタクト孔を形成する工程と、前記コンタクト孔の底面及び側面に金属窒化膜を成膜する工程と、前記半導体基板を 6 0 0 °C 以下の温度で第 1 の加熱処理を施す工程と、前記第 1 の加熱処理を施す工程中に 1 0 m s e c 以下の短時間、且つ前記金属窒化膜に含む金属の反射率が 0 . 5 0 以下であるような主たる発光波長を有する光によって第 2 の加熱処理を行う工程と、前記第 2 の加熱処理を行う工程後、前記コンタクト孔のコンタクト配線を形成する工程と、前記絶縁膜上に前記コンタクト配線を介して前記半導体基板と電氣的に接続された配線を形成する工程とを備えたことを特徴としている。前記金属窒化膜は、チタン、タンタル、ニオブ、バナジウムハフニウム、ジルコニウムの少なくとも 1 つ金属からなる窒化膜であるようにしても良い。前記金属窒化膜は、金属ハロゲン化合物を含むようにしても良い。

【 0 0 1 2 】

本発明の半導体装置の製造方法は、シリコン半導体基板の表面領域に形成されたソース／ドレイン領域及びこのソース／ドレイン領域間上にゲート絶縁膜を介して形成されたポリシリコンゲート電極を被覆するように前記半導体基板上に金属膜を形成する工程と、前記半導体基板に第 1 の加熱処理を施して前記ソース／ドレイン領域上及び前記ゲート電極上の金属膜をモノシリサイド層に変える工程と、前記金属膜のうち未反応の部分除去する工程と、前記半導体基板を 6 0 0 °C 以下の温度で第 2 の加熱処理を施す工程と、前記第 1 の加熱処理を施す工程中

に 1 0 m s e c 以下の短時間、且つシリコンの光の吸収端よりも短波長側に主たる発光波長を有する光によって第 3 の加熱処理を行って前記モノシリサイド層を金属シリサイド層に変える工程とを備えたことを特徴としている。前記金属膜は、コバルト、チタン、ニッケル、ハフニウム、ジルコニウム、パラジウム、白金から選ばれた少なくとも 1 つを材料とするようにしても良い。

本発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜に不純物を導入する工程と、前記多結晶シリコン膜上にシリコン窒化膜を形成する工程と、前記半導体基板を 3 0 0 ~ 6 5 0 °C に加熱する工程と、前記加熱工程中において、波長 2 0 0 n m 以上の白色光を 1 0 m s e c 以内、1 0 ~ 1 0 0 J / c m ² のエネルギーで少なくとも 1 回照射する工程と、前記多結晶シリコン膜及び前記シリコン窒化膜をパターニングして前記シリコン窒化膜に被覆された前記多結晶シリコン膜からなるゲート電極を形成する工程とを備えたことを特徴としている。前記シリコン窒化膜は、ジクロロシラン又はヘキサクロロジシランとアンモニアとの反応による C V D 法により形成しても良い。

【 0 0 1 3 】

本発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第 1 の多結晶シリコン膜を形成する工程と、前記第 1 の多結晶シリコン膜上に電極間絶縁膜を形成する工程と、前記電極間絶縁膜上に第 2 の多結晶シリコン膜を形成する工程と、前記第 2 の多結晶シリコン膜上に金属シリサイド膜を形成する工程と、前記半導体基板を 3 0 0 ~ 6 5 0 °C に加熱する工程と、前記加熱工程中において、波長 2 0 0 n m 以上の白色光を 1 0 m s e c 以内、1 0 ~ 1 0 0 J / c m ² のエネルギーで少なくとも 1 回照射する工程と、前記金属シリサイド膜、前記第 2 の多結晶シリコン膜、前記電極間絶縁膜及び前記第 1 の多結晶シリコン膜をパターニングして、前記第 1 の多結晶シリコン膜からなる浮遊ゲート電極、前記電極間絶縁膜、前記第 2 の多結晶シリコン膜と前記金属シリサイド膜からなる制御ゲート電極から構成されたゲート電極構造を形成する工程とを備えたことを特徴としている。

本発明の半導体装置は、シリコン半導体基板と、前記半導体基板の表面領域に形

成されたソース／ドレイン領域と、前記ソース／ドレイン領域間上にゲート絶縁膜を介して形成されたポリシリコンゲート電極と、前記ゲート電極及び前記ソース／ドレイン領域の表面に形成された金属シリサイド層とを備え、前記シリサイド層底面から接合深さまでの距離が100nm未満であることを特徴としている。前記金属シリサイド層は、前記半導体基板上の金属モノシリサイド層を600℃以下の温度で加熱処理し、この加熱処理中に10ms以下以下の短時間、且つシリコンの光の吸収端よりも短波長側に主たる発光波長を有する光を照射することによって形成しても良い。

【0014】

【発明の実施の形態】

以下、図面を参照して発明の実施の形態を説明する。

本発明は、短時間に多量の光子を半導体基板に照射することによって、シリコン半導体基板と配線を接続するコンタクト及びシリサイド層、シリコン窒化膜などの半導体基板に形成された成膜を改質することを特徴としている。すなわち、本発明は、半導体基板に第1の加熱処理を施す工程と、第1の加熱処理を施しながら短時間に多量の光子を半導体基板に照射する第2の熱処理工程とを備えている。非常に短期間の熱処理であるため、半導体基板や半導体基板上の成膜に影響を与えることがない。

【0015】

まず、図25を参照して本発明において用いられるの熱処理装置の1例を説明する。図25は、熱処理装置の概略断面図である。この熱処理装置はアルミニウムからなる試料チャンバー1を有し、この試料チャンバー1内部には、試料を載置する試料台2、ガスを導入するガス導入口3、排気する排気口4、光を導入するための上部の石英窓5、シリコンウエハなどの試料を予備加熱するための棒状のランプ（第1のランプ）6、キセノン（Xe）ランプなどのフラッシュランプ（第2のランプ）7を備えている。棒状ランプ6は、3kWのタングステンハロゲンランプで16本、試料8の下に設置され、試料8を下から加熱する。一方、フラッシュランプ7は、同様に棒状のランプであり、15本が試料8の上に設置され、試料8を上から加熱する。2つのランプは、いずれもそれぞれ専用の電源

9、10に接続されている。ランプ点灯のタイミング、点灯時間及びフラッシュランプの点灯回数は、マイコンによって制御されるように構成されている。

前記2種類のランプは、棒状のランプであることが本質的ではなく、ランプの分野でシングルエンドと呼ばれる一方向に外部端子が2つ設けられたタイプのランプでも同様の効果を期待することができる。

【0016】

次に、図1乃至図8を参照し、従来の技術を比較しながら第1の実施例を説明する。

図1及び図2は、半導体装置の製造工程断面図、図3は、コンタクトの電気特性（コンタクト抵抗）を評価した結果を示す特性図、図4は、コンタクトの電気特性（接合リーク電流）を評価した結果を示す特性図、図5は、照射される光の波長に対する金属膜の反射係数と各種ランプの発光スペクトルを示す特性図、図6は、シリコン半導体基板、熱酸化膜（ SiO_2 ）、 TiN 膜からなる積層構造のSIMS法による深さ方向の元素分析を行った分布図、図7は、コンタクトの電気特性（コンタクト抵抗）を評価した結果を示す特性図、図8は、コンタクトの電気特性（接合リーク電流）を評価した結果を示す特性図である。はじめに、STI (Shallow Trench Isolation)などの素子分離101を有するシリコン単結晶などの半導体基板100上に、例えば、 P^+ をイオン注入し、850℃、30秒の加熱処理を施すことによって、素子分離領域101に区画された素子領域に拡散層102を形成する。次に、拡散層102上及びこの拡散層とは離隔した領域上に形成されたゲート電極となる多結晶シリコン膜（図示しない）上に、例えば、コバルト（Co）シリサイド層104を形成する。さらに、層間絶縁膜として膜厚700nm程度のシリコン酸化膜103を堆積させる。このシリコン酸化膜103にRIEなどの異方性エッチングを施して所望パターンのコンタクト孔を形成する（図1（a））。

【0017】

その後、コンタクト孔側壁に Ti/TiN からなるバリア層を形成する。まず、膜厚50nm程度の Ti 膜105をスパッタ法により成膜し、この上に、膜厚10nm程度の TiN 膜106を反応性スパッタ法により形成する。次に、例え

ば、550℃、60分間程度の H_2/N_2 雰囲気での加熱処理を施し、コンタクト孔底にシリサイド層107を形成する(図1(b))。

次に、例えば、ウェーハが載置された反応室内で WF_6 、 SiH_4 及び水素ソースガス雰囲気中でW膜108を成膜させる。このとき、コンタクト孔内部にもバリア層上にW膜が埋め込まれる。その後、化学的機械的研磨(CMP: Chemical Mechanical Polishing)法により、W膜108及びTiN膜106、Ti膜105をシリコン酸化膜103の表面が露出するまで研磨してコンタクトを形成する(図1(c))。

図3は、このようにして形成した径0.2 μm のコンタクトの電気特性を評価した結果を示す特性図である。縦軸が確率(%)、横軸がコンタクト抵抗(R_c)を表わす。図中、Ti/TiN膜からなる試料のコンタクト抵抗(R_c)(Ω)を▲印で示す。コンタクト孔の底面ではじめにTi膜105を成膜することにより、コンタクト孔底の自然酸化膜を還元するとともに、シリサイド層107を形成できるので低いコンタクト抵抗が得られる。

【0018】

しかし、図4に示すように、接合リーク電流(Leakage Current)が高い。これは、拡散層接合深さに対して、コンタクト底シリサイド層の厚さが厚くなり、接合付近に微量Tiが拡散してしまい、接合リークの上昇を招いたものと考えられる。図1(b)、図1(c)に示す工程は、Ti膜の効果を説明するために追加した従来技術である。

そこで、図1(b)～図1(c)の工程に代えて、図2(d)に示すように、例えば、膜厚10nm程度のTiN膜109のみを反応性スパッタ法により成膜する。次に、例えば、550℃、60分間程度の H_2/N_2 雰囲気での加熱処理を施す。さらに、ウェーハを載置した反応室内で、例えば、 WF_6 、 SiH_4 及び水素ソースガスを供給してウェーハ上のシリコン酸化膜103にW膜108を成膜する。このとき、コンタクト孔内部にもW膜が埋め込まれる。その後、化学的機械的研磨(CMP)法により、W膜108及びTiN膜109を酸化膜103の表面が露出するまで研磨し、コンタクト孔内部にコンタクトを形成する。

【0019】

図4に示す様に、バリア層をスパッタTiN膜のみで形成したコンタクト(■)の接合リーク電流は、コンタクト孔底がTiN膜のみで成膜されているのでその部分でシリサイド層が形成されず、その結果低く抑えられる。図4の横軸は接合リーク電流(A)、縦軸は、累積確率(%)を表わしている。なお、図中、Ti/TiN膜からなる試料の接合リーク電流(A)を▲印で示す。

一方、図3に示すように、スパッタTiN膜のみで形成した場合(■)、シリサイド層とTiN膜界面の自然酸化膜110をTiNでは還元できないため、コンタクト抵抗は、非常に高い値となってしまった。

以上のように、接合リーク電流とコンタクト抵抗の両立させることは困難であった。

しかし、コンタクト抵抗について言えば、拡散層上にコバルトシリサイド層が形成され、拡散層のシート抵抗が十分低い値が得られる状況であれば、あえてコンタクト開口後に再びシリサイドを形成する必要はない。よって、コンタクト部と拡散層底にシリサイド間の自然酸化膜を還元できれば、コンタクト内部に埋め込んだ金属とシリサイド間で低い抵抗が得られる。

【0020】

そこで、自然酸化膜110上にTiN膜109成膜後、高温短時間加熱処理を施し、TiN膜と自然酸化膜の反応がおきるかどうか調査した。その結果、1050℃、30秒以上の高温熱処理によってTiN膜が自然酸化膜と反応することが判った。

しかし、これほどの高温熱処理を行ってしまうと、コンタクト孔底の拡散層の不純物プロファイルに影響を与えてしまう。熱拡散は、拡散係数と時間との積の1/2乗で決まるので、熱処理時間を短時間化すれば不純物プロファイルに影響を与えることなく、コンタクト孔底の自然酸化物をTiN膜によって還元できる可能性がある。

そこで、不純物拡散が無視できるくらいに短時間、例えば1050℃、100msecで熱処理を行ったが、自然酸化膜を還元することはできず、コンタクト抵抗の低減に効果は見られなかった。

ただし、金属膜は光を良く反射する材料であるため、通常のランプ加熱を用い

た加熱方法では金属膜を十分に加熱できない可能性がある。

【0021】

図5は、照射される光の波長 (Wave Length) に対する金属膜の反射係数 (Reflection) と各種ランプの発光スペクトル (Intensity) を示す。横軸が波長 (μm)、縦軸が発光強度 (a. u.) を表わしている。図5に示すように、通常のRTA装置等で用いられる光源、例えば、ハロゲンランプやタングステンランプの波長 (μm) は、800nmよりも長い領域が主たる分布を有する。それに対して金属の反射係数は、長波長領域で高く、例えば、チタンなどは波長800nmよりも短波長側で低い。

したがって、ハロゲンランプのような光源を用いたランプ加熱処理では、ランプから照射されるエネルギーのほとんどが金属膜表面で反射されてしまうため、金属膜を十分に加熱することが困難である。とくに、加熱処理時間が短時間化するほど、金属膜を所望の温度まで昇温させることが困難であり、昇温させるにはそれ以上のヒーターパワーを必要とする。

一方、図5のように、Xeランプからなるフラッシュランプは、その波長が800nmよりも短波長側に主たる分布を持っており、金属膜を効率良く加熱することが可能である。したがって、ランプ加熱処理の光源の波長が800nmよりも短ければ、金属膜表面で反射され難くなり、短時間でも金属膜を十分に加熱することが期待できる。

【0022】

そこで、基板上に熱酸化膜を膜厚2.5nm形成した後に、例えば、膜厚10nm程度のTiN膜を反応性スパッタ法により成膜し、例えば、基板を300℃～500℃に加熱した上で、Ar雰囲気中、照射量 10 J/cm^2 、照射時間1.3msecの条件でXeランプにより加熱した。

図6に示すように、SIMS法により深さ方向の元素分析を行った結果、基板加熱温度が300℃から500℃へ上がるにつれて熱酸化膜越しにSi原子がTiN膜中に拡散している様子が分かる。図6の横軸は、TiN/SiO₂/半導体基板 (Si-sub) の積層構造の深さ、縦軸は、Si及びTiNの分布強度を表わしている。

次に、以上に説明した本発明の効果を確認しながら、図1(b)～図2(a)の工程に代えて、図2(b)に示すように、例えば、膜厚10nm程度のTiN膜109のみを反応性スパッタ法により成膜する。そして、例えば、半導体基板を500℃に加熱し、この状態を維持しながらAr雰囲気中、照射量 10 J/cm^2 、照射時間1msecの条件でXeランプにより加熱する。次に、さらに、半導体基板を載置した反応室内で、例えば、 WF_6 、 SiH_4 及び水素ソースガスを供給して半導体基板上のシリコン酸化膜103にW膜108を成膜する。このとき、コンタクト孔内部にもW膜が埋め込まれる。その後、化学的機械的研磨(CMP)法により、W膜108及びTiN膜109を酸化膜103の表面が露出するまで研磨し、コンタクト孔内部にコンタクトを形成する。

【0023】

その結果、図7及び図8に示すように、バリア層をTiN膜のみで成膜し、上記のようにXeランプで短時間アニールした本発明に係る上記試料(■)のコンタクト抵抗(R_c)(Ω)を低く、且つ接合リーク電流(A)も低くすることができた。このことから、上記加熱処理によりTiN膜とシリサイド層間に存在する自然酸化膜が還元され、且つ拡散層の不純物プロファイルを変えずにコンタクトを形成することが可能になる。図7は、コンタクトの電気特性を評価した結果を示す特性図である。縦軸が確率(%)、横軸がコンタクト抵抗(R_c)を表わす。図中、Ti/TiN膜からなる試料のコンタクト抵抗(R_c)を▲印で示す。また、図8の横軸は接合リーク電流(A)、縦軸は、累積確率(%)を表わしている。なお図中、Ti/TiN膜からなる試料の接合リーク電流(A)を▲印で示している。この結果は、バリア層がハロゲン元素を含む金属窒化膜であればなおさら良い。

【0024】

次に、ハロゲン元素を含む窒化膜からなるバリア層に対する処理を説明する。

例えば、 TiCl_4 と NH_3 をソースガスに用いたCVD-TiN膜を膜厚10nm程度で成膜し、その後、例えば、半導体基板を200℃に過熱した状態で、Ar雰囲気中、照射量 10 J/cm^2 、照射時間1.3msecの条件でXeランプにより加熱した。

そして、例えば、550℃、60分間程度の H_2/N_2 雰囲気で加熱処理を施し、さらに、例えば、 WF_6 、 SiH_4 及び水素をソースガスに用いたW膜を成膜し、その後、化学的機械的研磨（CMP）法により、W膜及びTiN膜を酸化膜の表面が露出するまで研磨してコンタクトを形成した。

その結果、基板温度が低くても、上記CVD-TiN膜ならば、コンタクト抵抗を低く、かつ接合リーク電流も低くでき、PVD-TiN膜と同等レベルの特性が得られた。 $TiCl_4$ と NH_3 をソースガスに用いたCVD-TiN膜は大量のClを含んでいる。TiN膜中のClの脱離には600℃以上の熱工程を要するが、本発明に用いた光源を有する加熱処理では、金属膜でも効果的に加熱することが可能となり、低温の加熱処理でもCl原子は容易に膜中から脱離させることが可能となる。このとき、Clと結合していたTi原子は、シリコン基板方向へ熱拡散により移動する。この拡散したTiは、僅かな量ではあるが、TiN膜／シリコン基板界面の自然酸化膜を還元するには十分な量であるため、TiN成膜前にTi膜を成膜せずとも、低いコンタクト抵抗が得られる。

【0025】

また、この実施例では、Arなどの希ガス雰囲気で行ったが、還元雰囲気であればさらに低温での反応が期待できる。例えば、 NH_3 、 H_2 、 B_2H_4 を含む雰囲気で加熱することにより、上記実施例と同様な効果が得られる。

この実施例では、金属窒化膜としてTiN膜を用いたが、タンタル（Ta）、ニオブ（Nb）、バナジウム（V）、ハフニウム（Hf）、ジルコニウム（Zr）の金属窒化膜もしくはそれら合金からなる窒化膜等であれば、この実施例と同様な効果が得られる。

この実施例により、TiN膜と基板界面との反応が起こり、自然酸化膜程度の酸化膜を還元することができる。

【0026】

次に、図9及び図10を参照して第2の実施例を説明する。

図9及び図10は、半導体装置の製造工程断面図である。ここでは従来技術と比較しながらMOSトランジスタの形成工程に適用した実施例を説明する。

まず、STIなどの素子分離領域201を有するシリコン単結晶からなる半導

体基板 2 0 0 上にシリコン酸化膜 2 0 2 を形成し、その上に、多結晶シリコン膜 2 0 3 を積層する。次に、所望のパターンに多結晶シリコン膜 2 0 3 を R I E などの異方性エッチングしてゲート電極を形成する。その後、例えば、 As^{+} イオンをイオン注入して、 $950^{\circ}C$ 、30 秒の加熱処理を施すことによって拡散層 2 0 4 を形成する（図 9（a））。次に、半導体基板 2 0 0 上にシリコン窒化膜 2 0 5、シリコン酸化膜 2 0 6 を堆積した後、シリコン酸化膜 2 0 6、シリコン窒化膜 2 0 5 のエッチバックを行い、ゲート電極である多結晶シリコン膜 2 0 3 の側壁を形成する。その後、例えば、 P^{+} イオンをイオン注入し、 $850^{\circ}C$ 、30 秒の加熱処理を施すことによって、ソース／ドレイン領域となる拡散層 2 0 7 を形成し、拡散層 2 0 7 上及び多結晶シリコン膜 2 0 3 上にコバルト（Co）シリサイド層 2 0 8 を形成する（図 9（b））。

【0027】

その後、シリコン酸化膜などの層間絶縁膜 2 0 9 を半導体基板 2 0 0 の全面に堆積し、例えば、化学的機械的研磨（CMP）法によって、層間絶縁膜 2 0 9 を平坦化する。次に、層間絶縁膜 2 0 9 を所望のパターンに開口してコンタクト孔を形成する（図 10（a））。

さらに、例えば、反応性スパッタ法により ZrN 膜 2 1 0 を成膜し、次に、半導体基板 2 0 0 を、例えば、 NH_3 雰囲気中で $500^{\circ}C$ に加熱した状態で Ar 雰囲気中、照射量 $10 J/cm^2$ 、照射時間 1 msec の条件でキセノン（Xe）ランプにより加熱する。

次に、例えば、 WF_6 、 SiH_4 及び水素をソースガスに W 膜 2 1 1 を成膜し、その後、化学的機械的研磨（CMP）法により、W 膜 2 1 1 及び ZrN 膜 2 1 0 を酸化膜 2 0 9 の表面が露出するまで研磨し、低抵抗であり、且つ低リーク電流のコンタクトを形成する（図 10（b））。

以上、実施例の工程により、低抵抗であり、且つ低接合リーク電流を有するトランジスタを形成することができる。

【0028】

次に、図 1 1 乃至図 1 4 を参照して第 3 の実施例を説明する。

図 1 1 乃至図 1 3 は、半導体装置の製造工程断面図、図 1 4 は、コンタクトの

電気特性（接合リーク電流）を評価した結果を示す特性図である。ここでは従来技術と比較しながらサリサイド工程に適用した実施例を説明する。まず、STIなどの素子分離領域301を有する単結晶シリコン半導体基板300上にゲート絶縁膜に用いられるシリコン酸化膜302を形成し、その上に、多結晶シリコン膜303を積層する。次に、所望のパターンに多結晶シリコン膜303をRIEなどの異方性エッチングによりパターニングしてゲート電極を形成する、次に、例えば、 As^+ イオンを半導体基板300にイオン注入し、 $950^{\circ}C$ 30秒の加熱処理を施すことによって、拡散層304を形成する（図11（a））。

次に、半導体基板300にシリコン窒化膜305、シリコン酸化膜306を堆積した後、シリコン酸化膜306及びシリコン窒化膜305のエッチバックを行って、ゲート電極である多結晶シリコン膜303の側壁を形成する。次に、例えば、 P^+ イオンを半導体基板300にイオン注入し、 $850^{\circ}C$ 、30秒の加熱処理を施すことによってソース／ドレイン領域となる拡散層307を形成する（図11（b））。

【0029】

次に、拡散層307上及び多結晶シリコン膜308上に例えばコバルト（Co）膜308を成膜する（図12（a））。続いて、例えば、 $450^{\circ}C$ 、30secの条件で第1の加熱処理を行い、コバルトモノシリサイド（CoSi）層309を形成する。次に、例えば、硫酸／過酸化水素水混合液にてゲート側壁などに付着している未反応のCo膜を除去する（図12（b））。

次に、例えば、 $815^{\circ}C$ 、30secの条件を用いて半導体基板300に対して第2の加熱処理を行うことにより、コバルトダイシリサイド（ $CoSi_2$ ）層310を形成する（図12（c））。

しかし、この第2の加熱処理中に微量のCo原子311がシリコン半導体基板300側に拡散することが知られている。Co原子はSi中で深い準位を形成するため、 $CoSi_2$ 層310の下にある拡散層307の接合付近までこのCo原子311が拡散してしまうと、接合リークが劣化してしまう。その為、 $CoSi_2$ 層とその下層にある拡散層の接合深さとの距離を100～150nm程度離す必要がある（図13（a））。

【 0 0 3 0 】

ところが、トランジスタの微細化が進むにつれ、拡散層深さも浅くなり、シリサイド層と接合深さの距離を確保することが困難になってきている。ただし、上述した問題のポイントは、熱的に安定な CoSi_2 層を形成する前に、熱拡散によって基板中に Co 原子が潜り込んでしまうことであり、可能な限り Co 原子が基板方向へ熱拡散しない間に CoSi 層を速やかに CoSi_2 層に遷移させることができればこのような問題は回避できると推測される。

そこで、例えば、半導体基板300を500℃に加熱した状態で Ar 雰囲気中、照射量 10 J/cm^2 、照射時間 10 msec の条件で Xe ランプにより第3の加熱処理を行い、 CoSi_2 層を形成した。先に述べたように、 Xe ランプは、その波長が800nmよりも短波長側に主たる分布を持っており、金属膜を効率良く加熱することが可能である。それゆえ、 Co 原子をシリサイド層から基板方向へ拡散させることなく、 CoSi 層から熱的に安定な CoSi_2 層へ変化させることができる。その結果、 CoSi_2 層310とその下層にある拡散層307の接合深さとの距離を100nm以下にすることができる(図13(b))。図4に示す様に、拡散層の接合部も安定しており、接合リーク電流(A)が Xe ランプ(フラッシュランプ)で熱処理する(曲線A)と、 Xe ランプで処理しない従来のもの(曲線B)より接合リーク電流が著しく低下している。図14の横軸は接合リーク電流(Leakage Current) (A)、縦軸は、累積確率(Cumulative Probability) (%)を表わしている。

【 0 0 3 1 】

次に、図15乃至図21を参照して第4の実施例を説明する。

この実施例は、DRAM素子について説明する。図15及び図21は、DRAM素子のPMOS領域を示す断面図である。図15には、通常の半導体装置の製造工程によって、すでにSTIなどの素子分離領域402が半導体基板401に形成されている。また、この半導体基板401の表面にゲート酸窒化膜403が5nm程度の膜厚で形成されている。その後、ゲート酸窒化膜403上に、反応温度550℃でアモルファスシリコン膜404を膜厚70nm程度、化学気相成長法(CVD)により形成する。次に、通常のパターンニングによってPMOS

領域のみを露出させ、5 keV、 1.0×10^{15} の注入条件でボロンを添加する。パターンニングに使用したフォトレジストを剥離した後、800℃、30分程度窒素雰囲気下でアニールし、アモルファスシリコン膜4を多結晶シリコンに転換する。

次に、自己整合的なコンタクトを開口するためのハードマスクとなるSiN膜405を膜厚200nm程度形成する。ここで、SiN膜はどのような方法で形成してもよい。この実施例では、ヘキサクロロジシラン(HCD)をシリコンソースに用い、これをアンモニアと反応させて化学気相成長法によりSiN膜を形成する。成膜温度は、600℃、流量比がHCD/アンモニア=1000(sccm)/50(sccm)、成膜圧力が0.3 Torrである。SiN膜の成膜直後の膜中水素量は、NH基が $3.1 \times 10^{21} \text{ cm}^{-3}$ 、SiH基が $3.1 \times 10^{21} \text{ cm}^{-3}$ である。

【0032】

ここで、3 msec以内の短時間にエネルギーにして 20 J/cm^2 以上、波長200nm以上の白色光を発生させて、SiN膜405を成膜した基板表面に照射する。この時、半導体基板は、300℃以上に加熱し、不活性ガス下での照射が望ましい。短時間で多量の光子を膜に照射することによって、SiN膜中のSiHもしくはNH基の結合が切断されて、遊離下水素原子同士が結合して水素分子として膜外に脱離してくる。図16に成膜直後及び光照射後のSiN膜中のFT-IRスペクトルを示す。図16は、SiH基信号部分を拡大したものであり、横軸が波数(Wave number) (cm^{-1})、縦軸が吸収係数(Absorbance)である。上記の照射条件によって、SiN膜中のSiH基が検出限界以下までに減少していることが分かる。図17に、IR測定の結果により得られた膜中の水素濃度を示す。縦軸が水素濃度(H content) (cm^{-3})、横軸が成膜のままの状態(as deposition)及び短時間照射後の状態(after 20 J/cm^2)である。上記条件では、膜中にNH結合が少し残っているにもかかわらず、SiH基は、検出限界以下にまで減少していることが分かる。

【0033】

上記の光照射によって、膜中水素を低減させたSiN膜によって形成したPMOS素子の電気特性について述べる。PMOS素子においては、SiN膜が形成されている場合、高温の後熱工程を経ることによってSiN膜中の水素が吐き出され、いわゆる“ボロンの突き抜け”と呼ばれる素子の劣化が起きる。PMOS素子の劣化によって、電極の空乏化、 V_{th} のシフト、 V_{th} の面内でのばらつき、という3つの現象が起きる。これは、SiN膜中より吐き出された水素によってボロンが増速拡散して、ゲート絶縁膜を突き抜けて、基板側にまで拡散すること、が1つの原因として挙げられる。PMOS素子の劣化の度合いをキャパシタ (Plane capacitor) により評価した結果を図18に示す。図18は、キャパシタのCV特性を示す特性図である。横軸が電圧 (Voltage) (V)、縦軸がキャパシタンス (Capacitance) (F) である。SiN膜の成膜のままの状態のC-Vカーブ (—●— as-deposition) を示す。図18には、リファレンスとしてSiN膜なしのPMOS素子のC-Vカーブ (—○— w/o SiN) も合わせて示してある。C-Vカーブは、PMOS素子の劣化が激しいものほど、0V付近での落ち込み方が緩くなり、プラス側に伸びたような形になる。図18より、as-depo. の状態では、C-Vカーブのシフト及び電極の空乏化が起こっており、素子の劣化が起きていることが分かる。

【0034】

図19にPOMS素子の劣化の度合いを V_{fb} で表す。図19は、SiN膜中のSiH量の V_{fb} 依存性を示す特性図である。横軸がSiH量 (cm^{-3})、縦軸が V_{fb} である。PMOS素子の劣化は、SiH量に比例して悪くなることが分かる。つまり、PMOS素子の劣化を制御させるためには、SiH基を減らせば良いことになる。そこで、成膜後に光照射を行ってSiH基を減少させたSiN膜について形成したPOMSで同様のC-V測定を行、その結果を図19に示す。図19は、キャパシタのCV特性を示す特性図である。横軸が電圧 (Voltage) (V)、縦軸がキャパシタンス (Capacitance) (F) である。SiN膜に光照射を行った本発明の状態のC-Vカーブ (— — after 20 J/cm^2) を示す。リファレンスとしてSiN膜なしのPMOS素子

のC-Vカーブ(—○—w/o SiN)も合わせて示してある。光照射により膜中のSiH基が減少したことによって、素子の劣化が起きていないことが分かる。

光照射によって膜中のSiH濃度を減らした後に、通常の半導体素子の製造工程によって図21に示すDRAM素子を有する半導体装置が形成される。図は、DRAM素子のPMOS領域を示す半導体基板の断面図である。

【0035】

半導体基板401の素子分離領域402に区画された素子領域にはソース/ドレイン領域である拡散層409が形成されている。ゲート酸化膜403上の多結晶シリコン膜とシリコン窒化膜(SiN)の積層体は、複数のゲート構造にパターニングされている。ゲート構造側壁にはスペーサSiN膜406が形成され、その表面にはライナーSiN膜407が形成されている。ゲート構造間には多結晶シリコン膜408からなるコンタクトが形成されている。

本発明によって、膜中の水素濃度、特にSiH基が減ったSiN膜を用いることによりPMOS素子の劣化を防ぐことができる。ちなみに、本実施例ではDRAM素子について述べたが、ボロン添加された多結晶シリコン膜上にSiN膜が形成されていて、SiN膜形成後に高温の後熱工程を必要とする素子の全てに関して適用可能である。

【0036】

次に、図22及び図23を参照して第5の実施例を説明する。

この実施例では、EEPROMについて説明する。図22及び図23は、EEPROMの製造工程断面図である。まず、シリコン半導体基板501上にトンネル酸化膜となる膜厚8nmのシリコン酸化膜502を形成する。次に、後に浮遊ゲート電極となる多結晶シリコン膜503を通常のCVD法により前記シリコン酸化膜502上に200nm程度堆積させる。その後加工マスクとなる膜厚200nmのシリコン窒化膜504を形成する。このときシリコン窒化膜504は、 SiH_2Cl_2 と NH_3 を用い、反応温度780℃で成膜を行う。その後パターニングされたフォトリソストを用いて、通常のリソグラフィ工程により素子分離を行うための溝505を形成し、その後フォトリソストを除去する(図22(a

))。次に、1050℃の急速熱酸化法より6nmの酸化膜506を形成した後、溝505を500nmのシリコン酸化膜507で埋め込み、シリコン酸化膜からなる素子分離領域を形成する。その後化学的機械的平坦化法を用いてシリコン酸化膜507の上部を除去してからシリコン窒化膜504を熱磷酸で除去する(図22(b))。

【0037】

次に、第2の浮遊ゲート電極となる膜厚100nmの多結晶シリコン膜508をCVD法により形成した後、通常のリソグラフィ工程により浮遊ゲート電極に加工する(図23(a))。次に、図23(b)に示すように電極間絶縁膜としてONO膜($\text{SiO}_2/\text{SiN}/\text{SiO}_2$)509をCVD法により酸化膜6nm、窒化膜8nm酸化膜6nmの積層体として連続して形成する。続いて、制御電極となる膜厚50nmの多結晶シリコン膜510を形成し、さらに、膜厚50nmのWSi膜511をスパッタ法により順次形成する。次に、ここで3msec以内の短時間に、エネルギーにして $20\text{J}/\text{cm}^2$ 以上、波長200nm以上の白色光を発生させて、WSi膜511の表面に照射する。この時、半導体基板501は、300℃以上に加熱されており、さらに、好ましくは不活性ガス下での照射が望ましい。光照射後のWSi膜511のシート抵抗を図24に示す。図24は、WSi膜を成膜したままの状態(as-deposition)、 $20\text{J}/\text{cm}^2$ を1回(1pulse)及び3回(3pulse)照射した状態を示している。縦軸は、WSi膜のシート抵抗(Sheet Resistance)(Ω/\square)を表わしている。光照射によってシート抵抗が激減することが分かる。低抵抗化は、光照射によってWSi部分のみ温度が上がってWSiの粒径が大きくなり単結晶化が進んだために起きている。

【0038】

従来の技術でのWSi低抵抗化は、急速昇降温(RTA)装置によって行っている。本発明による1回照射、3回照射のそれぞれが、950℃、30秒、1050℃、30秒のRTAに対応する。前述したように、前記RTA温度での低抵抗化がゲート絶縁膜の性能を劣化させてしまう。

この実施例によれば、光照射によって熱伝導性の高いWSi部分は1000℃

以上の高温になるが、下層に形成されたゲート絶縁膜は、基板加熱温度以上には上がらない。したがって、ゲート絶縁膜の劣化を起こすことなく抵抗化が可能になる。また、この実施例は、W S i についてのみ述べたが、本発明では同様の低抵抗化は他の金属についても可能である。

【 0 0 3 9 】

【発明の効果】

本発明は、以上の構成により、T i N 膜と基板界面との反応を起こさせ、自然酸化膜程度ならば還元することができ、また非常に短時間の熱処理であるため、拡散層の不純物プロファイルに影響を与えることがない。また、金属原子をシリサイド層から基板方向へ拡散させることなく、金属モノシリサイド層から熱的に安定な金属ダイシリサイド層へ変化させることが可能となる。また、素子の劣化を起こさない低温でS i N 膜中の水素を低減することができ、さらに、素子の劣化を起こさない低温でW S i を低抵抗化することができる。

【図面の簡単な説明】

【図 1】

本発明の半導体装置の製造工程断面図。

【図 2】

本発明の半導体装置の製造工程断面図。

【図 3】

半導体装置に用いるコンタクトの電気特性（コンタクト抵抗）を評価した結果を示す特性図。

【図 4】

半導体装置に用いるコンタクトの電気特性（接合リーク電流）を評価した結果を示す特性図。

【図 5】

本発明及び従来の照射される光の波長に対する金属膜の反射係数と各種ランプの発光スペクトルを示す特性図

【図 6】

本発明のシリコン半導体基板、熱酸化膜（S i O₂）、T i N 膜からなる積層

構造の S I M S 法による深さ方向の元素分析を行った分布図。

【図 7】

本発明及び従来の半導体装置に用いるコンタクトの電気特性（コンタクト抵抗）を評価した結果を示す特性図。

【図 8】

本発明及び従来の半導体装置に用いるコンタクトの電気特性（接合リーク電流）を評価した結果を示す特性図。

【図 9】

本発明の半導体装置の製造工程断面図。

【図 1 0】

本発明の半導体装置の製造工程断面図。

【図 1 1】

本発明の半導体装置の製造工程断面図。

【図 1 2】

本発明の半導体装置の製造工程断面図。

【図 1 3】

本発明の半導体装置の製造工程断面図。

【図 1 4】

本発明及び従来の半導体装置に用いるコンタクトの電気特性（接合リーク電流）を評価した結果を示す特性図。

【図 1 5】

本発明の半導体装置を形成する半導体基板の断面図。

【図 1 6】

従来の S i N 膜及び本発明方法による光照射後の S i N 膜中の F T - I R スペクトルを示す特性図。

【図 1 7】

従来の S i N 膜及び本発明方法による光照射後の S i N 膜中の水素濃度を示す特性図。

【図 1 8】

従来の SiN 膜が形成された PMOS キャパシターの C-V カーブを示す特性図。

【図 1 9】

SiN 膜中の SiH 基濃度と PMOS キャパシターの Vfb との関係を示す特性図。

【図 2 0】

本発明方法による光照射後の SiN 膜が形成された PMOS キャパシターの C-V カーブを示す特性図。

【図 2 1】

本発明の半導体装置を形成する半導体基板の断面図。

【図 2 2】

本発明の半導体装置の製造工程を説明する工程断面図。

【図 2 3】

本発明の半導体装置の製造工程を説明する工程断面図。

【図 2 4】

従来の WSi 及び本発明方法による光照射後の WSi のシート抵抗を示す特性図。

【図 2 5】

本発明の方法を実施する熱処理装置の概略断面図。

【符号の説明】

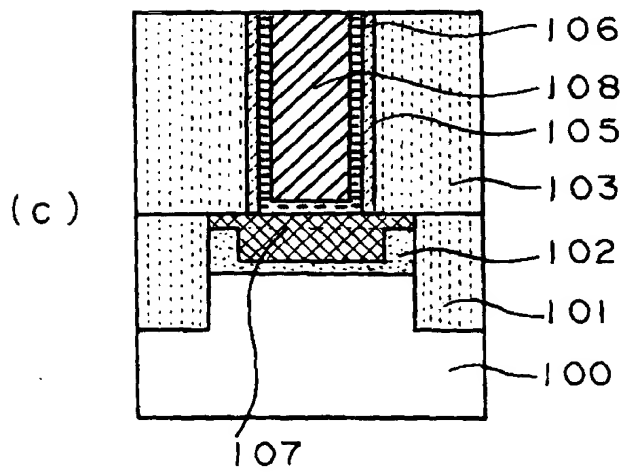
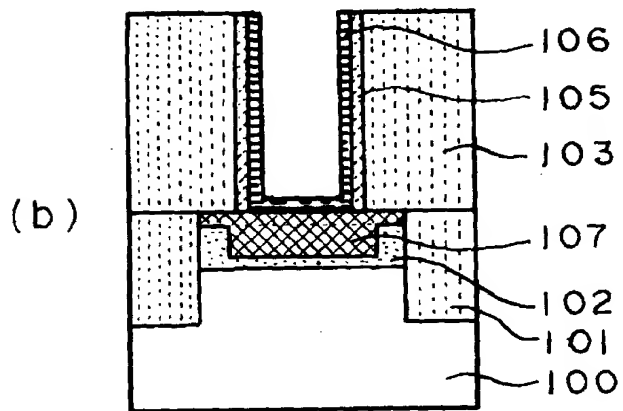
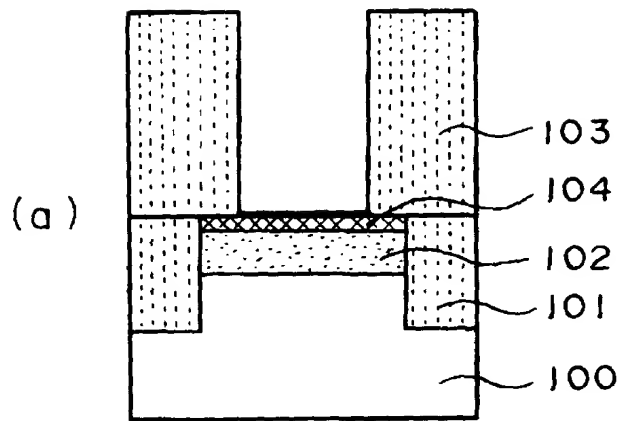
- 1・・・試料チャンバー、 2・・・試料台、 3・・・ガス導入口、
- 4・・・排気口、 5・・・石英窓、
- 6・・・第 1 のランプ（タングステンハロゲンランプ）、
- 7・・・第 2 のランプ（フラッシュランプ）、
- 8・・・試料、 9、10・・・電源、
- 100、200、300、401、501・・・シリコン半導体基板、
- 101、201、301、402、505・・・素子分離領域、
- 102、204、207、304、307、409・・・拡散層、
- 103・・・酸化膜、 104・・・ CoSi_2 層（ダイシリサイド）、

105・・・Ti膜、 106、109・・・TiN膜、
107・・・シリサイド層、 108、211・・・W膜、
110・・・自然酸化膜、
202、206、302、306、506、507・・・シリコン酸化膜、
203、303、408、503、508、510・・・多結晶シリコン膜、
205、305、405、504、512・・・シリコン窒化膜、
208・・・Coシリサイド層、 209・・・層間絶縁膜、
210・・・ZrN膜、 308・・・Co膜、
309・・・CoSi（モノシリサイド）層、 311・・・Co原子、
403・・・熱シリコン酸化膜（ゲート絶縁膜）、
404・・・ボロン添加多結晶シリコン膜、
406・・・スペーサーSiN膜、 407・・・ライナーSiN膜、
502・・・ゲート絶縁膜、 509・・・ONO絶縁膜、
511・・・WSi。

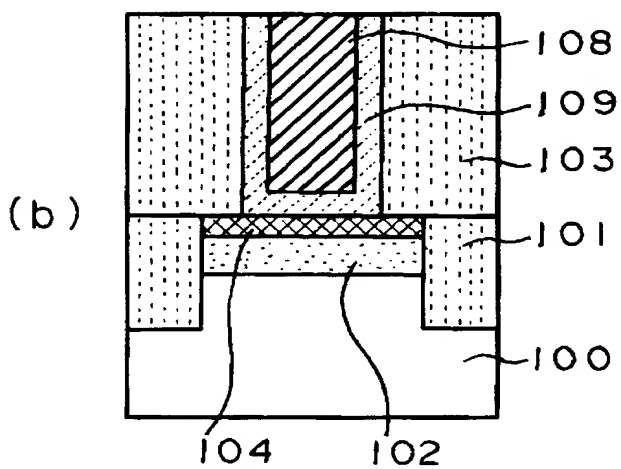
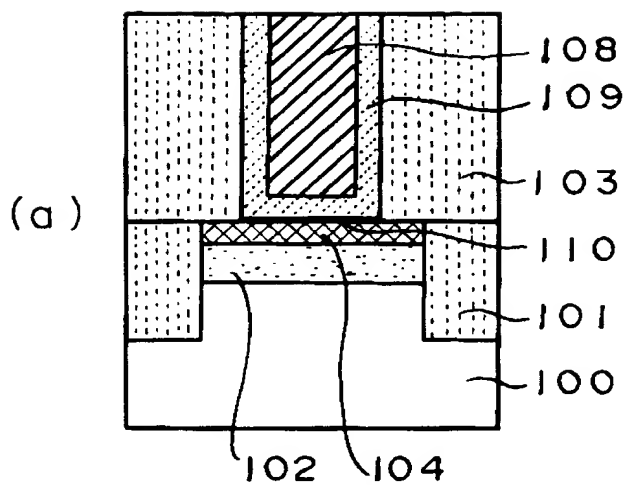
【書類名】

図面

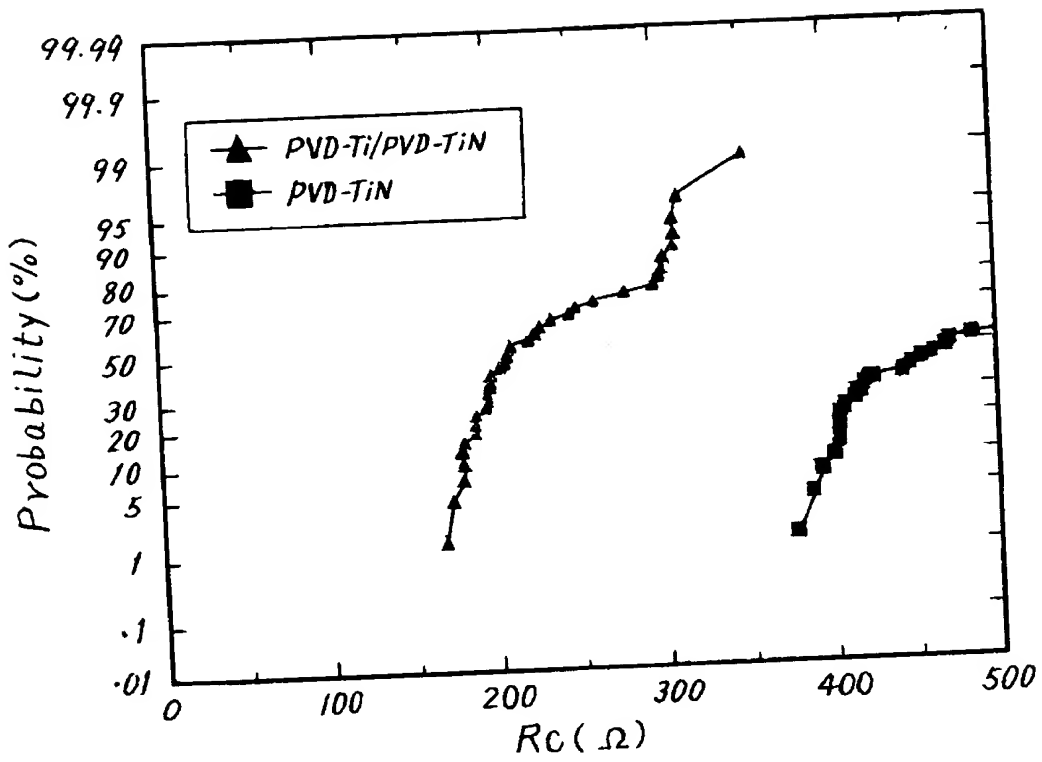
【図1】



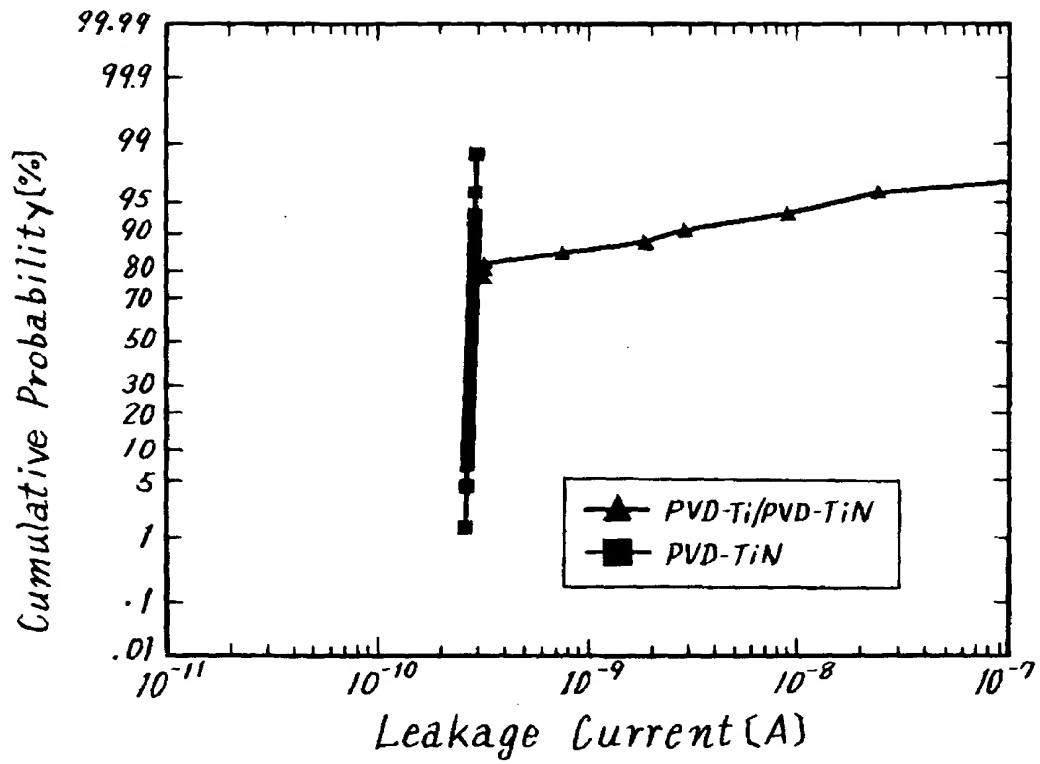
【図2】



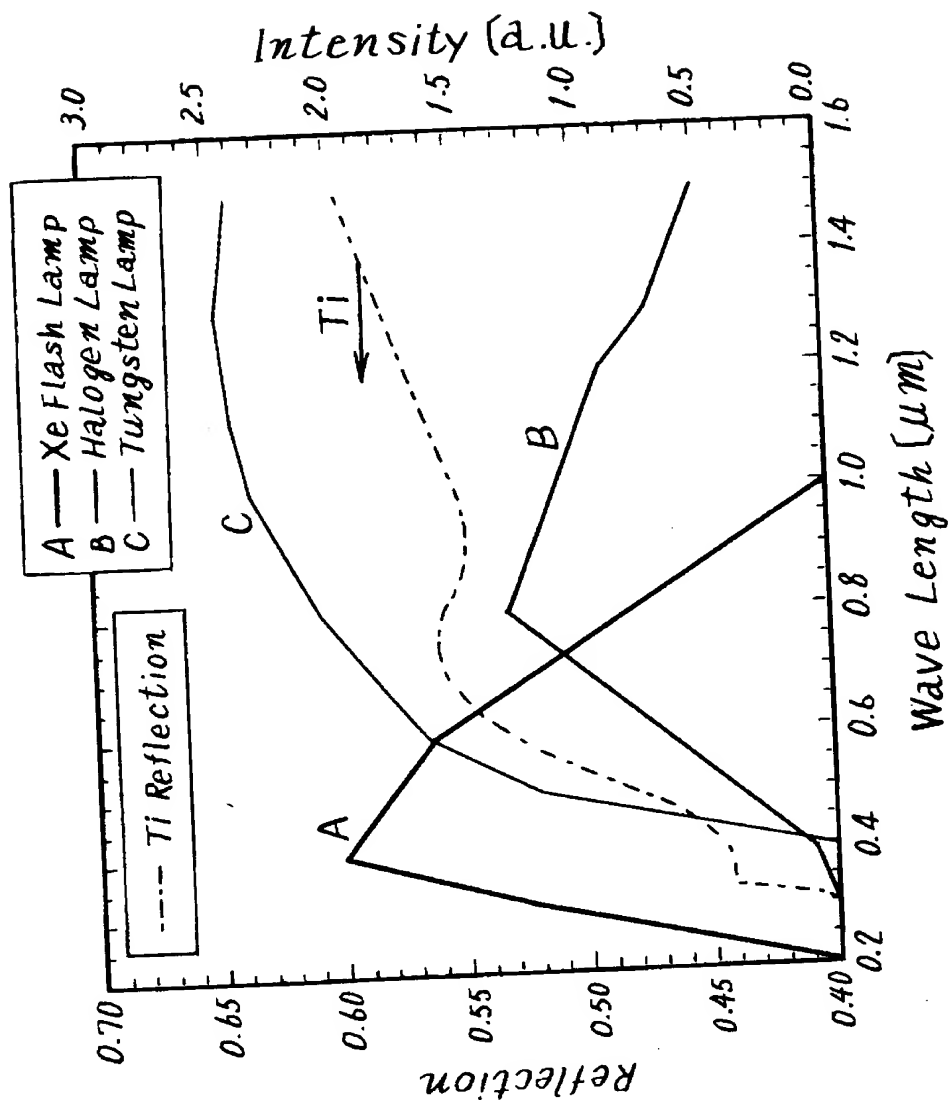
【図3】



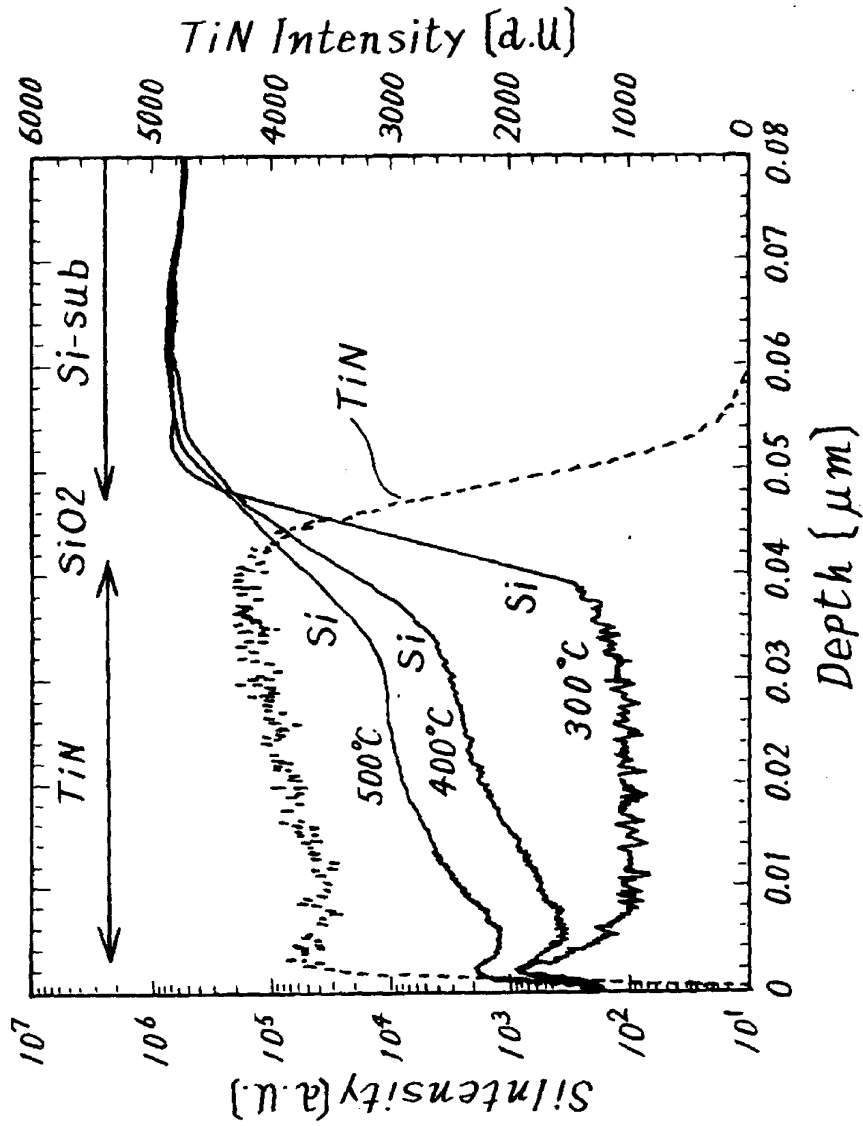
【図4】



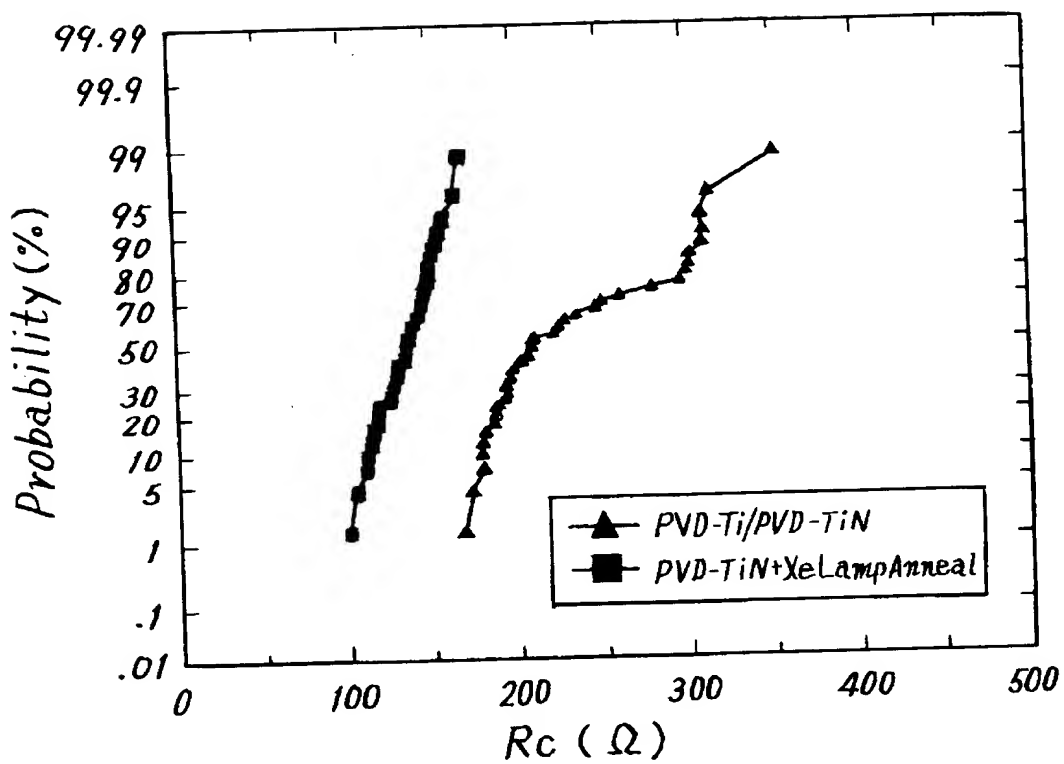
【図 5】



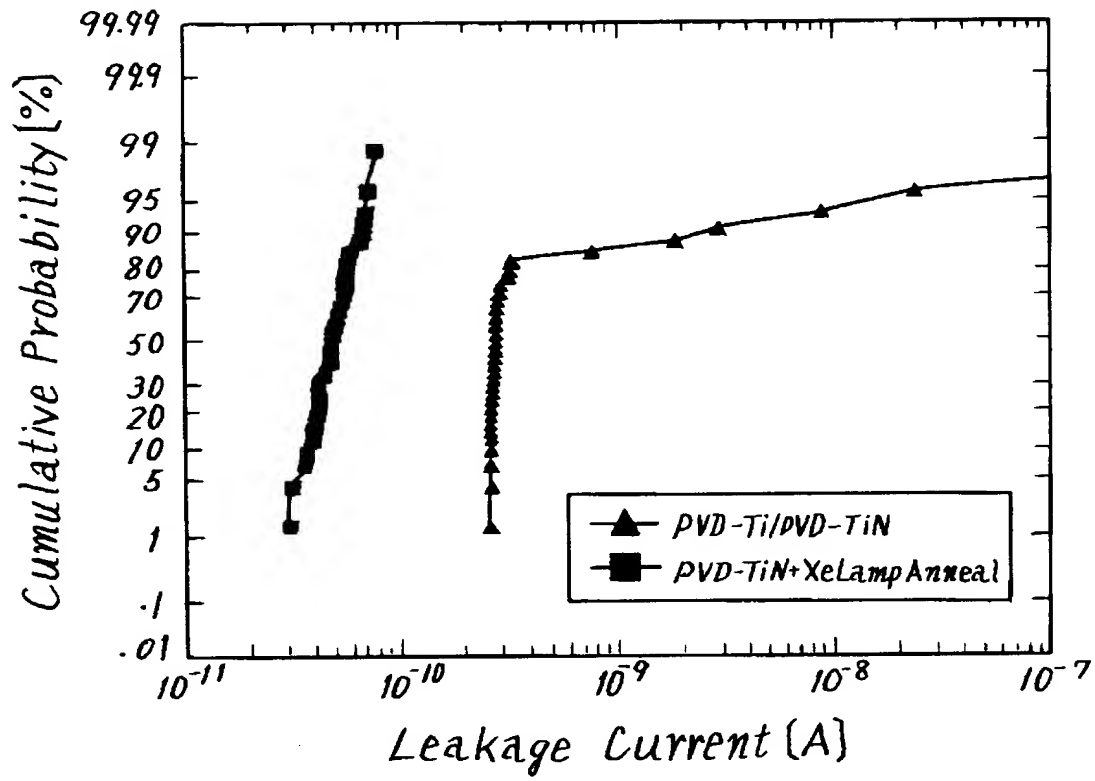
【図 6】



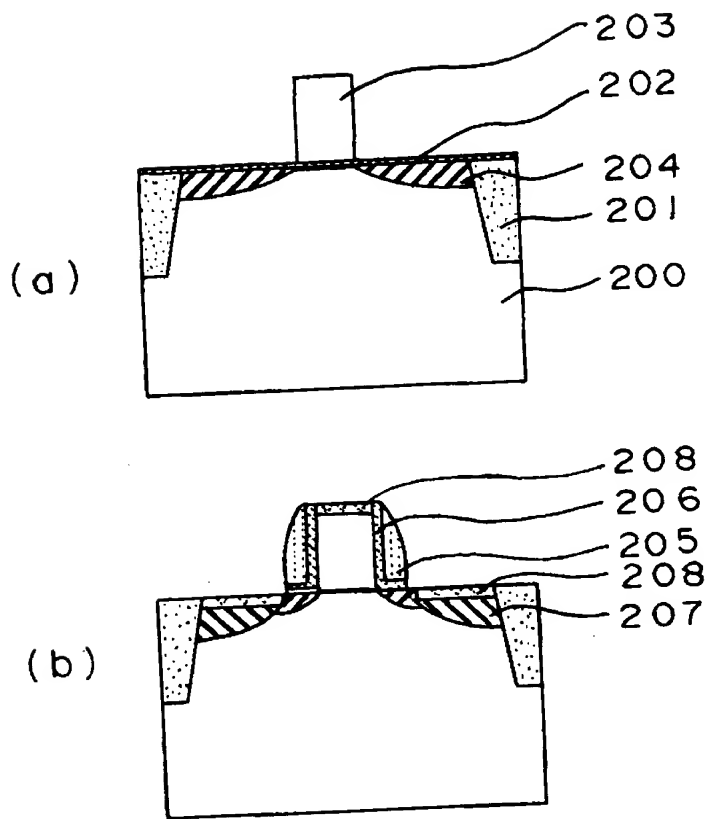
【図 7】



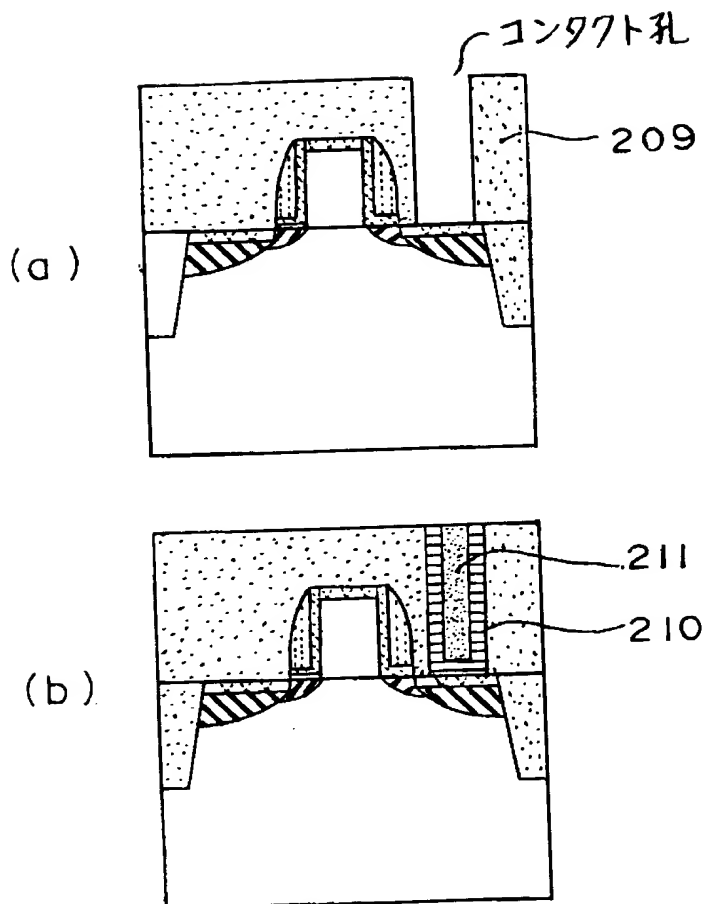
【図 8】



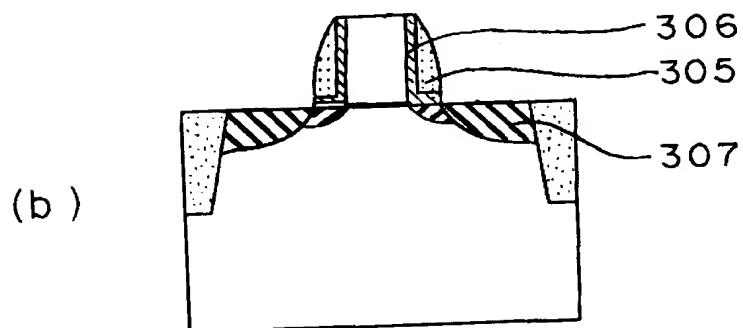
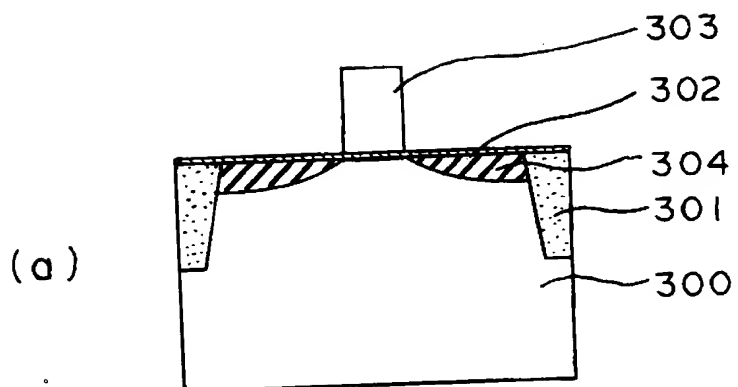
【図9】



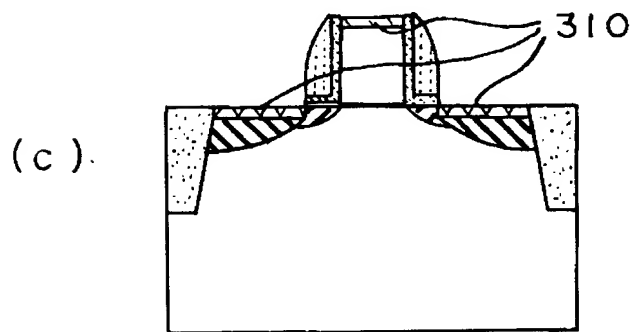
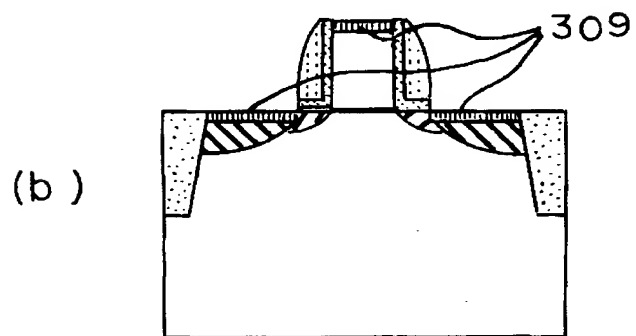
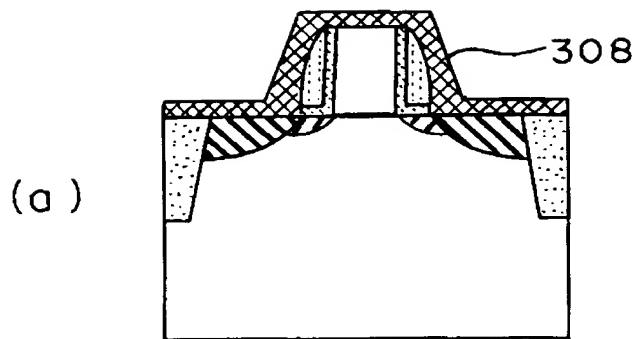
【図10】



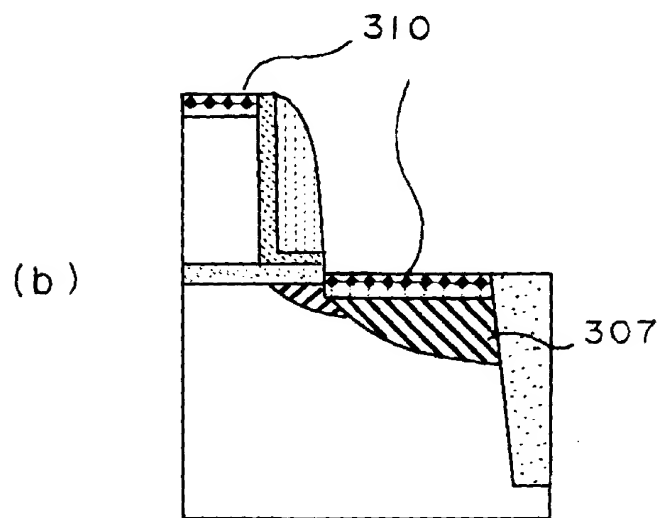
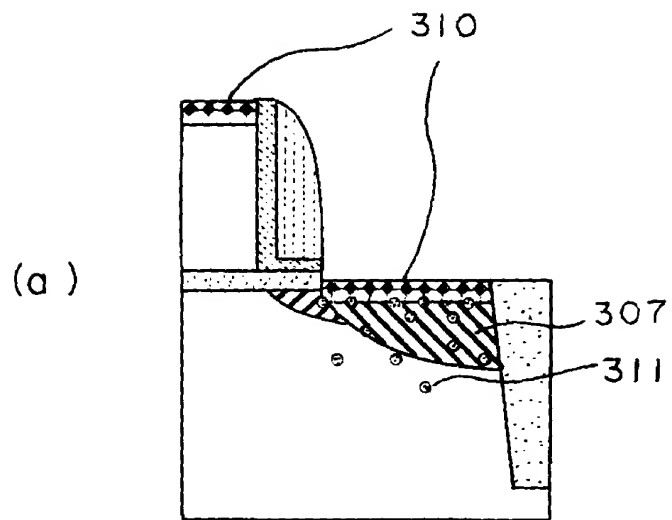
【図 1 1】



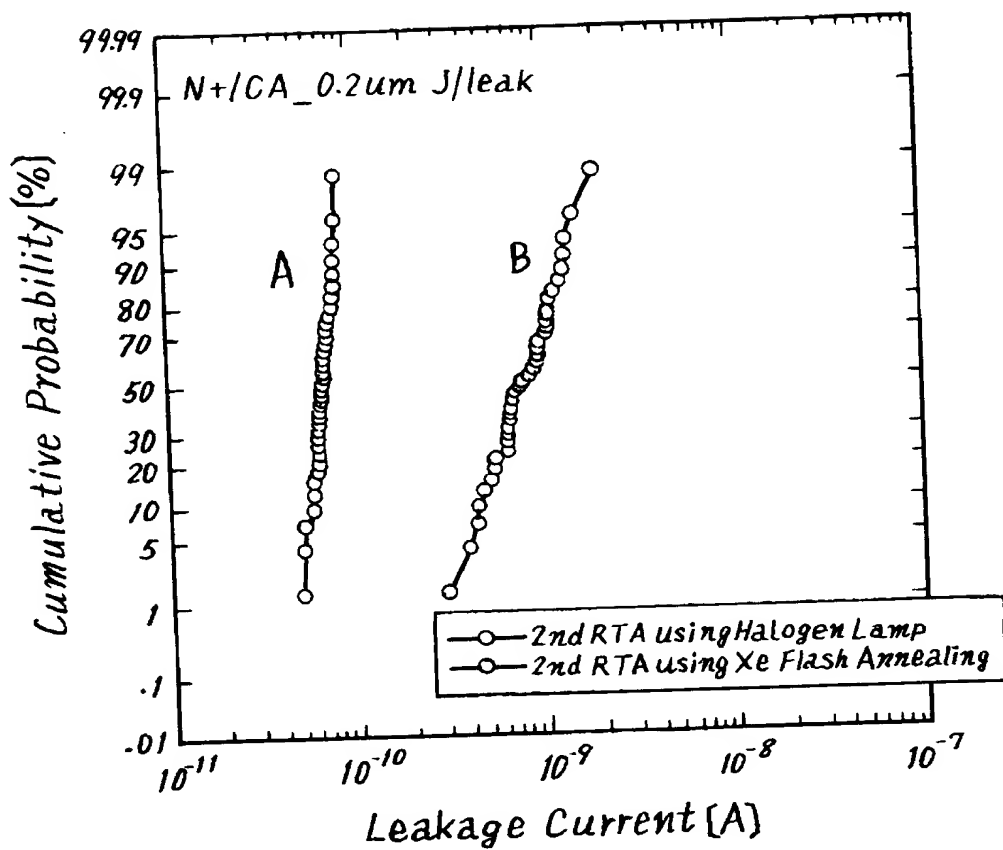
【図 1 2】



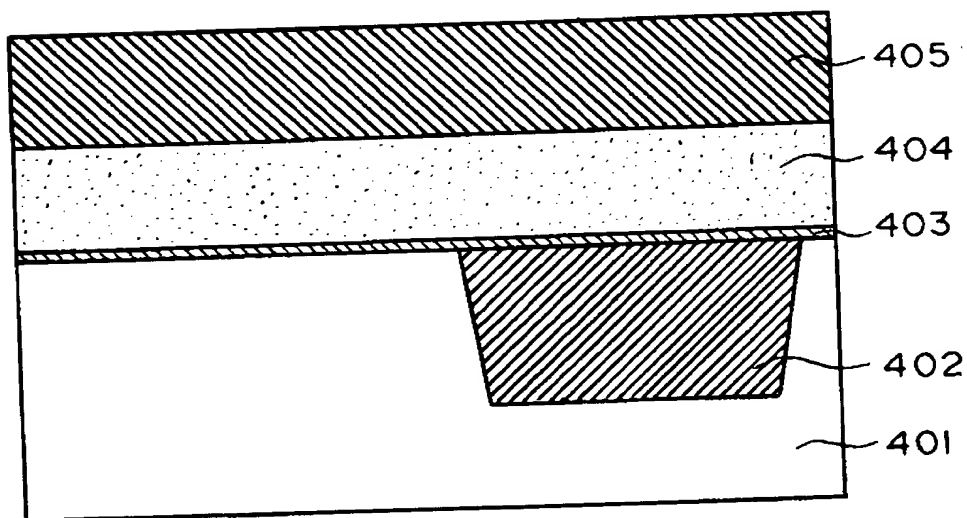
【図13】



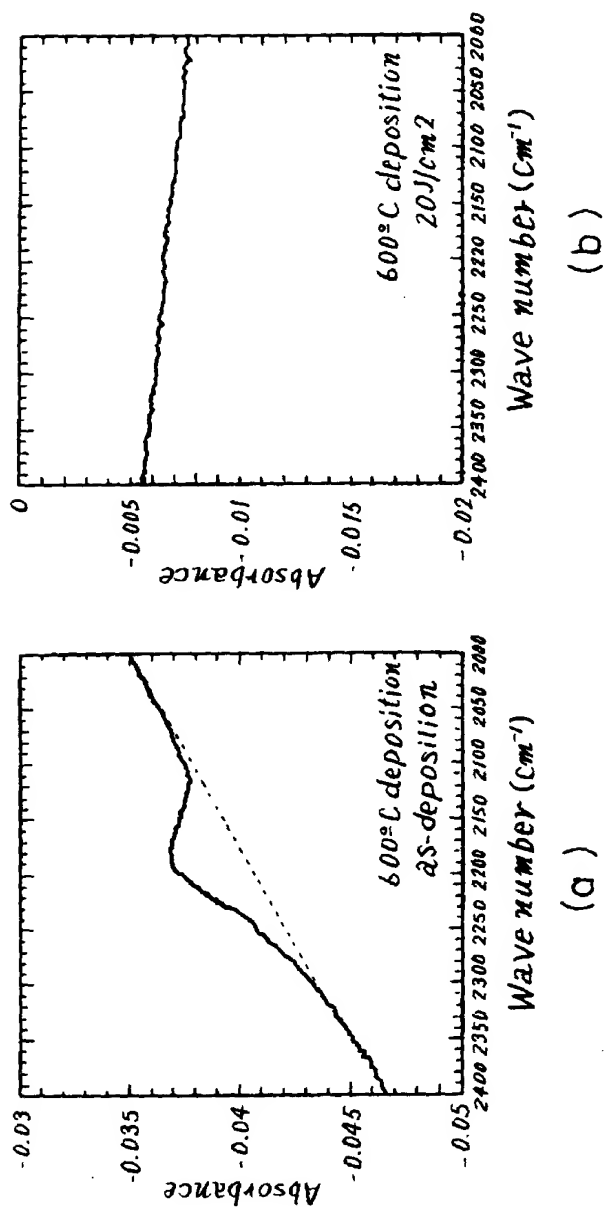
【図 14】



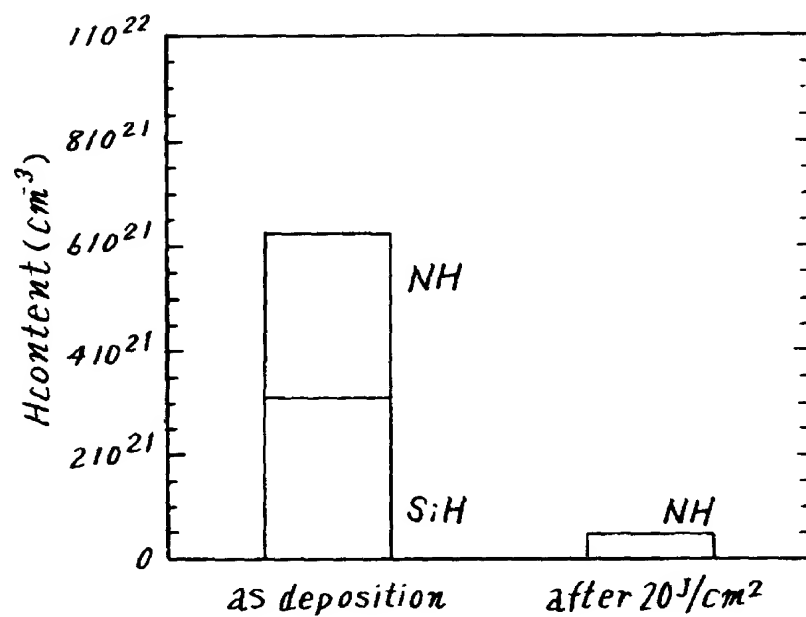
【図 15】



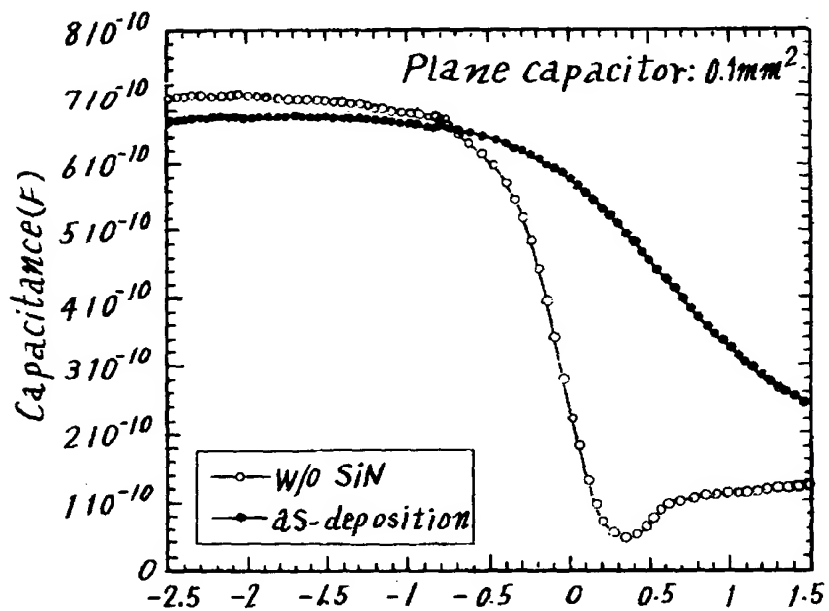
【図16】



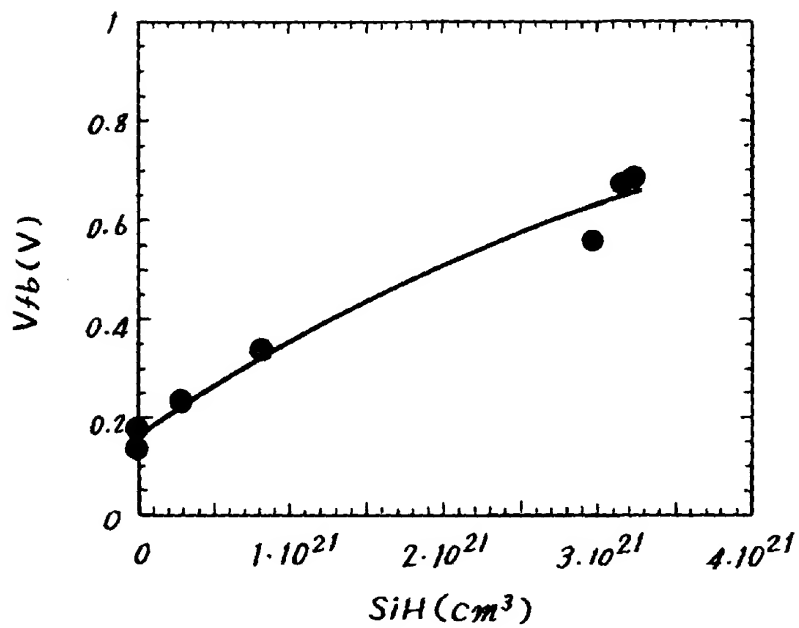
【図17】



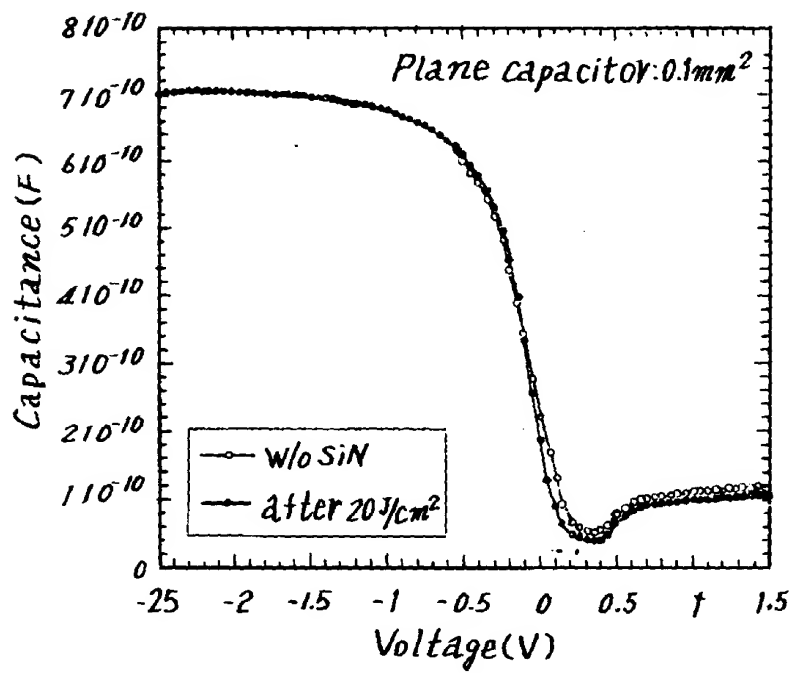
【図18】



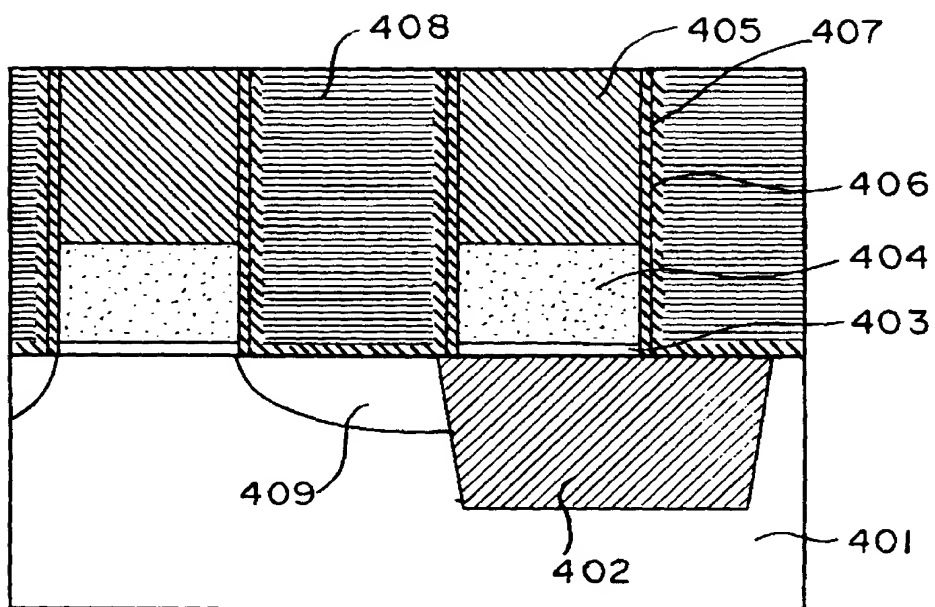
【図19】



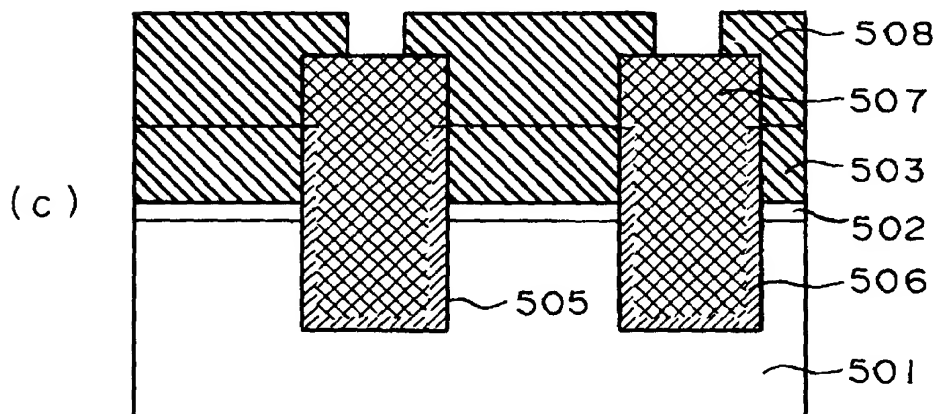
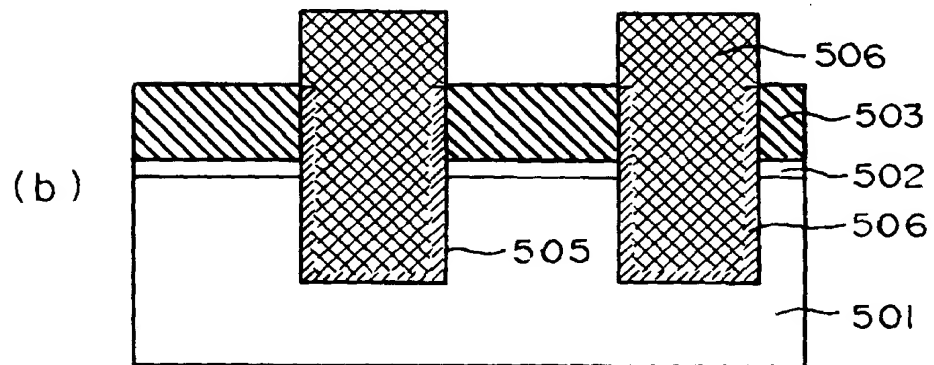
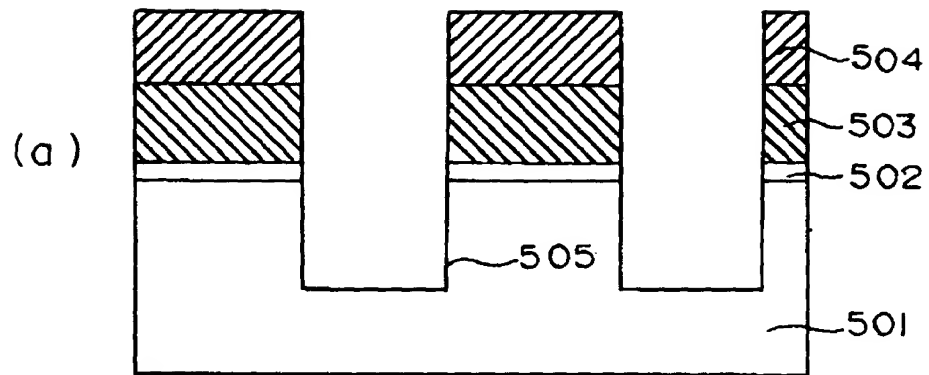
【図20】



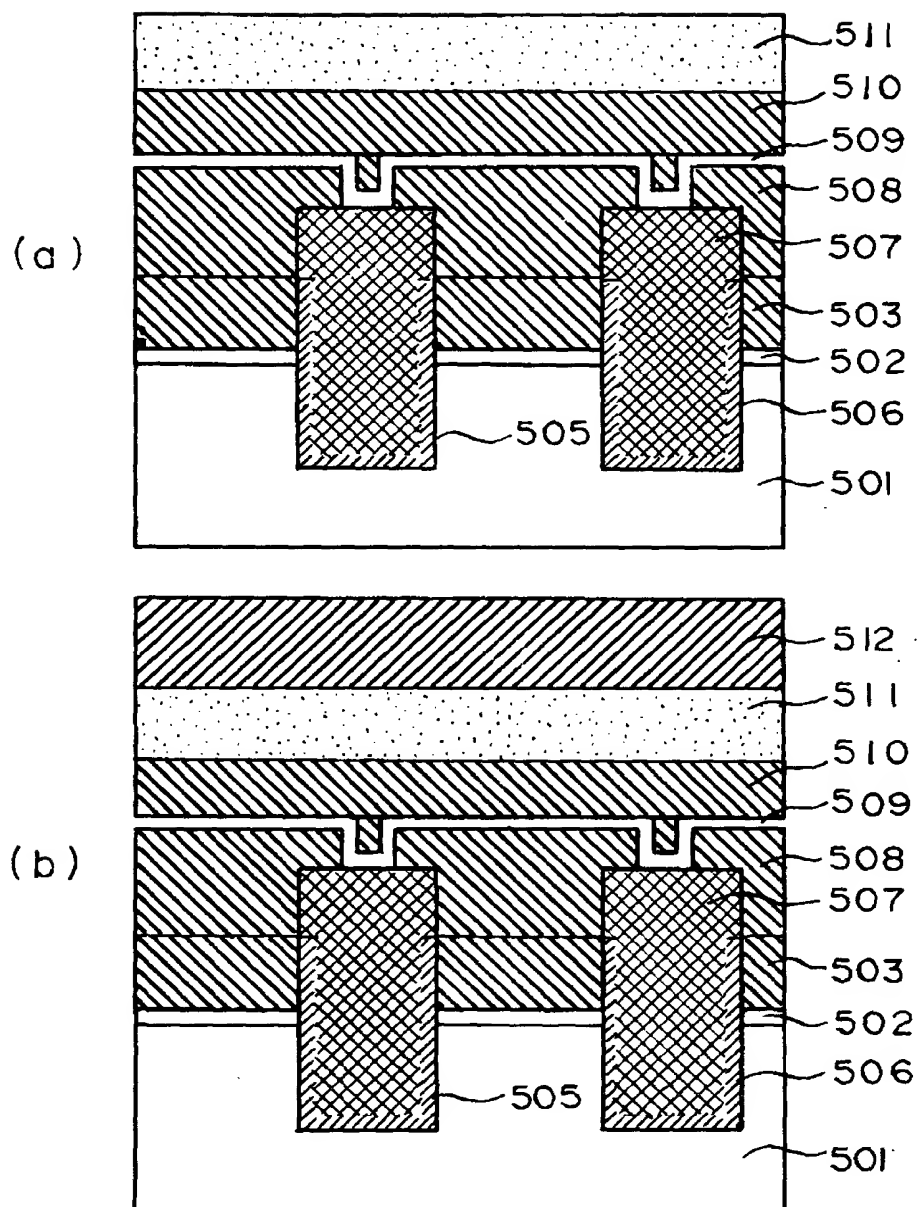
【図 21】



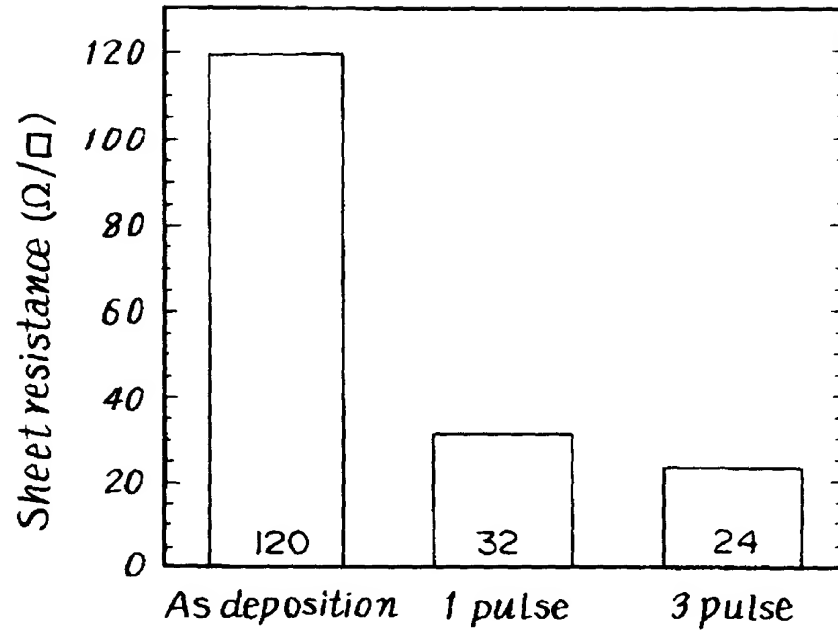
【図 2 2】



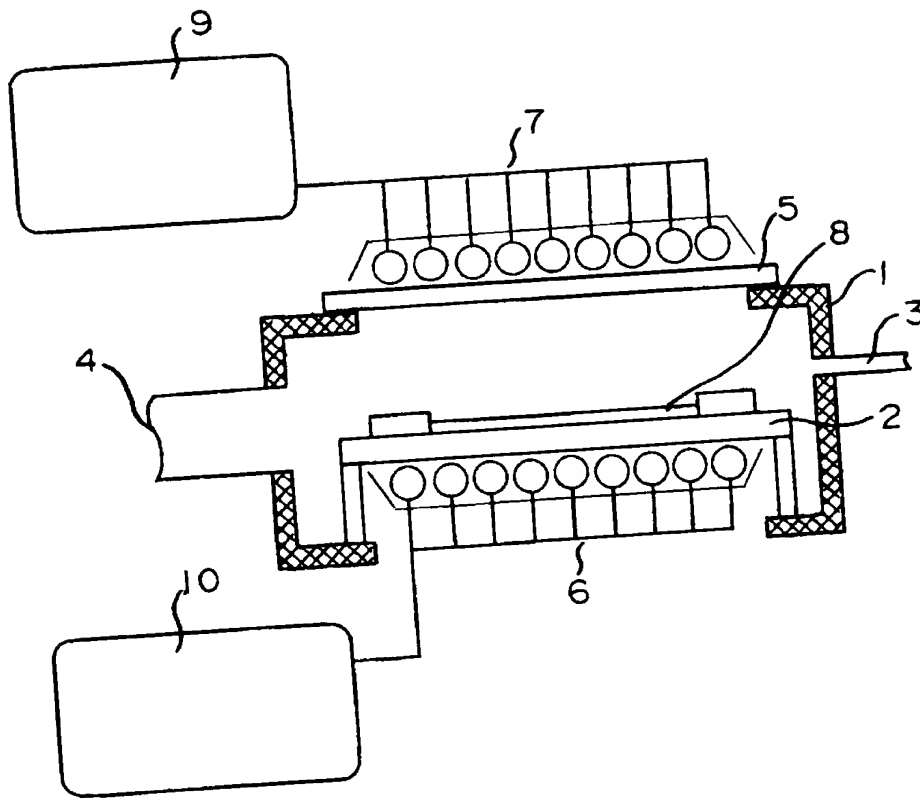
【図 23】



【図 24】



【図 25】



要約書

【書類名】

【要約】

【課題】 短時間に多量の光子を半導体基板に照射して、シリコン半導体基板と配線を接続するコンタクト及びシリサイド層、シリコン窒化膜などの半導体基板に形成された成膜を改質する。

【解決手段】 微細コンタクト形成時、W膜108などのコンタクト配線が埋め込まれるコンタクト孔内部にSiN膜109を成膜し、600℃以下の温度で加熱しながら10msec以下の短時間でシリコンの光の吸収端よりも短波長側に主たる発光波長を有する光で加熱処理を行う。TiN膜と半導体基板100界面との反応を起こさせて自然酸化膜を還元する。短期間の熱処理のため拡散層の不純物プロファイルに影響を与えない。また、ポリシリコンゲート上のSiN膜を波長200nm以上の白色光を10msec以内、10～100J/cm²のエネルギーで少なくとも1回照射する。この熱処理により含有していた水素が除去されてボロンの突き抜けなどのない素子の劣化が防止される。

【選択図】

図2

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝